

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ G02F 1/133	(45) 공고일자 2000년10월15일
(21) 출원번호 10-1996-0026925	(11) 등록번호 10-0239140
(22) 출원일자 1996년06월28일	(24) 등록일자 1999년10월19일
(30) 우선권주장 95-164148 1995년06월29일 일본(JP) 96-46511 1996년03월04일 일본(JP)	(65) 공개번호 특1997-0002832
(73) 특허권자 사촌 가부시킴가미샤 마찌다 가즈히코 일본 오사카후 오사카시 마베노꾸 나가타메쵸 22방 22고	(43) 공개일자 1997년01월28일
(72) 발명자 쿠보타 야스시 일본국 나라겐 633 사쿠라이시 아사쿠라다이니시 5-1093-267 아다치 마사히로 일본국 나라겐 631 스자쿠 나라시 4-3-4-다블류305 사카모토 히로미 일본국 나라겐 639-02 오사카 카시바시 2-540-1-디-201 모로사와 나리히로 일본국 나라겐 632 덴리시 미시마쵸 181-408	
(74) 대리인 백덕열 이태희	

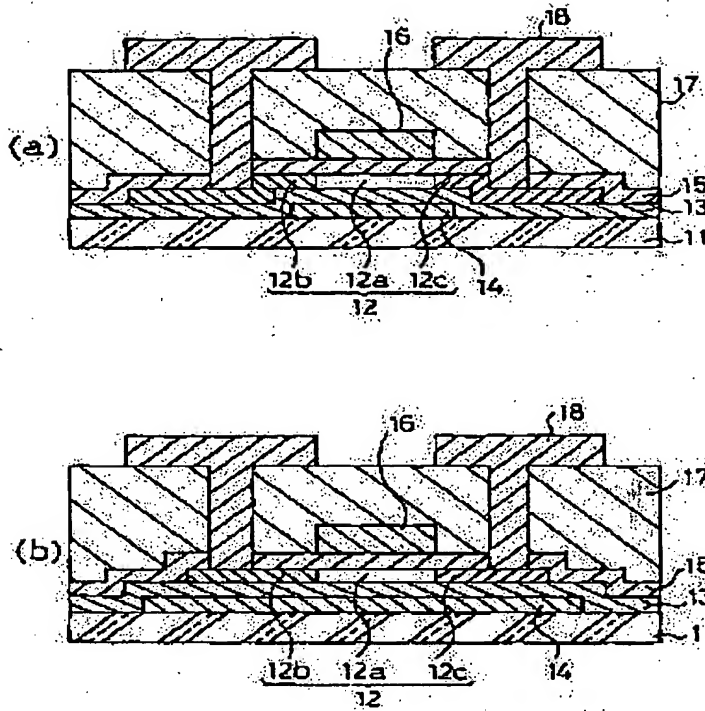
심사관 : 이수관

(54) 박막트랜지스터 회로 및 화상표시장치

요약

화상표시장치에서 화소를 구동하는 구동회로로 사용되는 박막트랜지스터 회로는, 절연성기판상에 형성된 복수의 박막트랜지스터로 구성된다. 각 박막트랜지스터 회로에 있어서, 활성층으로 되는 다결정실리콘 박막의 채널영역을 사이에 두고 게이트전극과 대향하도록 도전성전극이 배치된다. 또한, 이 도전성전극에는 일정전압이 인가된다. 도전성전극으로의 전압의 인가에 의해 문턱전압을 시프트시키면, n 채널형 트랜지스터의 문턱전압의 절대치와 p 채널형 트랜지스터의 문턱전압의 절대치를 거의 같게 할 수 있다. 또한, 박막트랜지스터의 채널길이, 박막트랜지스터가 구성하는 회로의 종류, 박막트랜지스터에 인가되는 전압 등에 따라서도 문턱전압을 적절히 설정할 수 있다. 이에 따라, 동작속도, 유지특성 등의 점에서 박막트랜지스터회로의 특성이 대폭 향상된다.

QPS



QPS

[발명의 명칭]

박막트랜지스터 회로 및 화상표시장치

[도면의 간단한 설명]

제1a도는 본 발명의 제1실시예 내지 제6실시예에 관한 박막트랜지스터 회로를 구성하는 박막트랜지스터에 공통되는 구조를 보인 단면도이다.

제1b도는 본 발명의 제1실시예 내지 제6실시예에 관한 박막트랜지스터 회로를 구성하는 박막트랜지스터에 공통되는 다른 구조를 보인 단면도이다.

제2a도는 제1a도의 박막트랜지스터에 있어서의 도전성전극, 다결정실리콘 박막 및 게이트전극의 배치구조를 보인 단면도이다.

제2b도는 제1b도의 박막트랜지스터에 있어서의 도전성전극, 다결정실리콘 박막 및 게이트전극의 배치구조를 보인 단면도이다.

제3도는 본 발명의 제1실시예에 관한 박막트랜지스터 회로에 의해 형성되고, 도전성전극이 전체에 설치되어 있는 시프트레지스터의 구성을 보인 회로도이다.

제4도는 n채널형의 p-Si 박막트랜지스터의 게이트-소스 전압대-드레인-소스 전류특성의 일예를 보인 그래프이다.

제5도는 본 발명의 제2실시예에 관한 박막트랜지스터 회로에 의해 형성되고, 도전성전극이 p채널에만 설치되어 있는 시프트레지스터의 구성을 보인 회로도이다.

제6도는 본 발명의 제2실시예에 관한 박막트랜지스터 회로에 의해 형성되고, 도전성전극이 n채널 트랜지스터와 p채널 트랜지스터에 개별적으로 설치되어 있는 시프트레지스터의 구성을 보인 회로도이다.

제7도는 본 발명의 제3실시예에 관한 박막트랜지스터 회로에 의해 형성되고, 도전성전극이 시프트레지스터에만 설치되어 있는 데이터선호전 구동회로의 구성을 보인 회로도이다.

제8도는 본 발명의 제3실시예에 관한 박막트랜지스터 회로에 의해 형성되고, 도전성전극이 시프트레지스터와 기타 회로에 개별적으로 설치되는 데이터선호전 구동회로의 구성을 보인 회로도이다.

제9도는 본 발명의 제3실시예에 관한 박막트랜지스터 회로에 의해 형성되고, 도전성전극이 시프트레지스터와 샘플링회로에 개별적으로 설치되는 데이터선호전 구동회로의 구성을 보인 회로도이다.

제10도는 본 발명의 제4실시예에 관한 박막트랜지스터 회로에 의해 형성되고, 도전성전극이 다이내믹형 시프트레지스터에만 설치되는 데이터신호선 구동회로의 구성을 보인 회로도이다.

제11도는 본 발명의 제4실시예에 관한 박막트랜지스터 회로에 의해 형성되고, 도전성전극이 상기 다이내믹형 시프트레지스터와 기타 회로에 개별적으로 설치되는 데이터신호선 구동회로의 구성을 보인 회로도이다.

제12도는 본 발명의 제4실시예에 관한 박막트랜지스터 회로에 의해 형성되는 상기 다이내믹형 시프트레지스터의 구성을 보인 회로도이다.

제13도는 본 발명의 제5실시예에 관한 박막트랜지스터 회로에 의해 형성되고, 도전성전극이 레벨시프트보다 전단에 위치한 회로에만 설치되는 주사신호선 구동회로의 구성을 보인 회로도이다.

제14도는 본 발명의 제5실시예에 관한 박막트랜지스터 회로에 의해 형성되고, 도전성전극이 레벨시프트보다 전단에 위치한 회로와 레벨시프트 후단에 위치한 회로에 개별적으로 설치되는 주사신호선 구동회로의 구성을 보인 회로도이다.

제15도는 제13도의 주사신호선 구동회로를 갖는 화상표시장치의 주요부의 구성을 보인 블록도이다.

제16도는 본 발명의 제6실시예에 관한 박막트랜지스터 회로에 의해 형성되고, 도전성전극이 샘플링회로에만 설치되는 데이터신호선 구동회로의 구성을 보인 회로도이다.

제17도는 본 발명의 제6실시예에 관한 박막트랜지스터 회로에 의해 형성되고, 도전성전극이 샘플링회로와 기타 회로에 개별적으로 설치되는 데이터신호선 구동회로의 구성을 보인 회로도이다.

제18도는 본 발명의 제7실시예에 관한 화상표시장치의 주요부의 구성을 보인 블록도이다.

제19a도는 종래 일반적인 액티브매트릭스 구동방식의 화상표시장치의 주요부의 구성을 보인 블록도이다.

제19b도는 제19a도의 화상표시장치에 있어서의 화소의 구성을 확대하여 보인 회로도이다.

제20도는 제19a도의 화상표시장치에 있어서의 데이터신호선 구동회로의 구성을 보인 블록도이다.

제21도는 제19a도의 화상표시장치에 있어서의 데이터신호선 구동회로의 다른 구성을 보인 블록도이다.

제22도는 제19a도의 화상표시장치에 있어서의 주사신호선 구동회로의 구성을 보인 블록도이다.

제23도는 상기 데이터신호선 구동회로 및 주사신호선 구동회로를 구성하는 박막트랜지스터의 구조를 보인 단면도이다.

[발명의 상세한 설명]

본 발명은 액정표시장치와 같은 화상표시장치에 있어서의 구동회로에 사용되는 박막트랜지스터 회로 및 이 박막트랜지스터 회로를 사용한 액티브매트릭스 구동방식의 화상표시장치에 관한 것이다.

현재, 널리 실용화되고 있는 화상표시장치의 하나로써, 액티브매트릭스 구동방식의 화상표시장치가 잘 알려져 있다. 이와 같은 화상표시장치는, 제 19(a)도에 보인 바와 같이, 화소어레이(101), 주사신호선 구동회로(102) 및 데이터신호선 구동회로(103)를 구비한다.

주사신호선 구동회로(102)는, 동기신호 CKS, GPS 및 스타트펄스 SPB를 사용하여, 화소어레이(101)에 있어서의 후술하는 각 주사신호선 GL_1, GL_2, \dots 에 대해 주사신호를 출력한다. 한편, 데이터신호선 구동회로(103)는, 동기신호 CKS 및 스타트펄스 SPS를 사용하여, 입력된 화상신호 DAT를 후술하는 데이터신호선 SL_1, SL_2, \dots 에 전송(또는 출력하여 전송)한다.

화소어레이(101)에 있어서, 다수의 주사신호선 GL_1, GL_2, \dots 과 다수의 데이터신호선 SL_1, SL_2, \dots 이 교차하는 상태로 배치되며, 인접하는 2본의 주사신호선 GL_1, GL_2 과 인접하는 2본의 데이터신호선 SL_1, SL_2 로 포워된 부분에 화소(도면에 PIX로 표시)(104)가 설치되어 있다. 이와 같이, 화소(104)는 화소어레이(102)내에서 액티브매트릭스 형태로 배열되어 있고, 1열당 1본의 데이터신호선 SL_i 이 할당되며, 1행당 1본의 주사신호선 GL_j 이 할당된다.

액정표시장치의 경우, 각 화소(104)는, 제 19(b)도에 보인 바와 같이, 스위칭소자인 트랜지스터 T와, 액정용량 C를 갖는 화소용량 C_p 로 구성된다. 일반적으로, 액티브매트릭스형 액정표시장치에 있어서의 화소용량 C는 표시를 안정시키기 위해 액정용량 C와 병렬로 부가된 보조용량 C_s 를 갖는다. 보조용량 C_s 는 액정용량 C이나 트랜지스터 T의 누설전류, 트랜지스터 T의 게이트-소스간 용량, 화소전극-신호선간 용량 등의 기생용량에 의한 화소전위의 변동, 액정용량 C의 표시데이터 의존성 등의 영향을 최소한으로 억제하기 위해 필요하다.

트랜지스터 T의 게이트는 주사신호선 GL_j 에 접속되어 있다. 또한, 액정용량 C 및 보조용량 C_s 의 일방의 전극은 트랜지스터의 드레인 및 소스를 통해 데이터신호선 SL_i 에 접속되어 있다. 액정용량 C의 타방의 전극은 액정을 사이에 두고 대향전극에 접속되고, 보조용량 C_s 의 타방의 전극은 전화소에 공통으로 도시하지 않은 공통전극선(C_{on} Common 구조의 경우), 또는 인접하는 주사신호선 GL_j (C_{on} -Gate 구조의 경우)에 접속되어 있다.

다수의 주사신호선 GL_1, GL_2, \dots 은 주사신호선 구동회로(102)에 접속되고, 다수의 데이터신호선 SL_1, SL_2, \dots 은 데이터신호선 구동회로(103)에 접속된다. 또한, 주사신호선 구동회로(102) 및 데이터신호선 구동회

로(103)는 각각 다른 전원전압 V_{m1} , V_{m2} 과 전원전압 V_{m1} , V_{m2} 에 의해 구동된다.

상기 화상표시장치에 있어서, 데이터신호선 구동회로(103)는 표시용 데이터신호를 화소마다 또는 1수평 주사기간(1H 라인)마다, 데이터신호선 SL_1 , SL_{m-1} 에 출력한다. 또한, 주사신호선 GL_1 , GL_{m-1} 이 액티브 상태로 되면 트랜지스터 T가 도통한다. 이에 따라, 데이터신호선 SL_1 , SL_{m-1} 상에 전송되는 표시용 데이터 신호가 화소용량 C에 전하로서 기입된다. 따라서, 화소용량 C에 기입된 전하에 의해 표시가 유지된다.

상기 데이터신호선 구동회로(103)에는 점순차구동방식과 선순차구동방식이 있다.

제 20도에 보인 바와 같이, 점순차구동방식의 데이터신호선 구동회로(103)에서는, 입력된 스타트펄스 SPS가 동기신호 CKS에 동기하여 시프트레지스터(도면에 SR로 표시)(111)에 의해 순차 시프트된다. 그 결과 출력된 펄스가 버퍼회로(도면에 BUP로 표시)(112)를 거쳐 샘플링 스위치(도면에 SWT로 표시)(113)에 제공된다. 이 펄스에 의해 샘플링 스위치(113)가 도통하면, 영상신호 DAT는 샘플링스위치(113)를 통해 데이터신호선 SL_1 , SL_{m-1} 에 제공된다.

점순차구동방식의 데이터신호선 구동회로(103)는 영상신호 DAT를 샘플링스위치(113)를 통해 데이터신호선 SL_1 , SL_{m-1} 에 전송하도록 되어 있기 때문에, 구동회로로서의 규모는 작게 된다. 그 반면, 이 데이터신호선 구동회로(103)는 기입시간이 짧아지고, 그 때문에 대화면화에 대응하기에는 제약이 있다.

제 21도에 보인 바와 같이, 선순차구동방식의 데이터신호선 구동회로(103)는 어느 수평주사기간에 있어서, 입력된 영상신호 DAT가 샘플링스위치(113)에 의해 샘플링된 후, 일단 샘플링용량 C_{sm} 에 축적된다. 축적된 샘플링데이터(전하)는 다음의 수평주사기간의 시작에, 데이터선출신호 TDF에 동기하여 도통하는 샘플링스위치(114)를 통해 홀드용량 C_h 에 전송되어 유지된다. 따라서, 다시 이 수평주사기간에 있어서, 홀드용량 C_h 에 보유되어 있는 전압과 동일 레벨의 신호가 버퍼앰프(도면에 AMP로 표시)(115)를 통해 데이터신호선 SL_1 , SL_{m-1} 에 기입된다.

선순차구동방식의 데이터신호선 구동회로(103)는 일단 샘플링된 영상신호를 1라인분 일괄하여 데이터신호선 SL 에 기입하도록 되어 있기 때문에, 구동회로로서의 규모는 커진다. 그 반면, 이 데이터신호선 구동회로(103)는 기입시간이 충분히 길기 때문에, 대화면화에도 대응할 수 있는 특징이 있다.

한편, 제 22도에 보인 바와 같이, 주사신호선 구동회로(102)에서는, 입력된 스타트펄스 SP6가 동기신호 CK6에 동기하여 시프트레지스터(111)에 의해 순차 시프트된다. 그 결과 출력된 인접하는 두개의 시프트 레지스터(111, 111)로부터의 펄스가 버퍼회로(112)를 거쳐 AND회로(도면에 AND로 표시)(116)에서 논리곱으로 취해진다. 또한, AND회로(116)의 출력과 신호폭을 결정하는 동기신호 GPS와의 논리곱이 AND회로(도면에 AND로 표시)(117)에서 취해짐으로써, 주사신호가 생성된다. 이 주사신호는 버퍼(도면에서 BUP로 표시)(118)를 통해 주사신호선 GL_1 , GL_{m-1} 에 제공된다.

또한, 상기 주사신호선 구동회로(102)에 있어서는, 레벨시프터를 내장한 버퍼(118)를 사용함으로써, 주사신호의 출력전폭을 크게 하는 것도 있다.

그러나, 종래 많은 액티브매트릭스형 액정표시장치에 있어서, 저출한 화소(104)는, 유리기판상에 형성된 비정질실리콘 박막트랜지스터로 구성되고 있다. 또한, 주사신호선 구동회로(102) 및 데이터신호선 구동회로(103)는, 유리기판상에 외부 부착되는 복수의 드라이버 IC였다.

이에 대해, 최근 화상표시장치의 소형화, 신뢰성향상, 코스트절감 등을 실현하기 위해, 주사신호선 구동회로(102)나 데이터신호선 구동회로(103)를 화소어레이(101)와 함께 동일 기판상에 모놀리식으로 구성하는 기술이 개발되고 있다.

이 경우, 능동소자로서는, 단결정, 다결정 또는 비정질의 어느 실리콘박막으로 이루어지는 전계효과트랜지스터가 사용된다. 실제로는, 투명한 유리기판상에 대면적으로 형성할 수 있고, 주사신호선 구동회로(102)나 데이터신호선 구동회로(103)에 요구되는 높은 구동력을 제공하기 때문에, 다결정실리콘 박막트랜지스터가 가장 많이 사용된다.

종래의 다결정실리콘 박막트랜지스터는, 예컨대, 제 23도에 보인 바와 같은 구조로 되어 있다. 이 구조에 있어서는, 절연성기판(121)상에, 오염방지용의 실리콘산화막(122)이 퇴적되어 있고, 그 위에 전계효과트랜지스터가 형성되어 있다. 절연성기판(121)으로서는 사파이어기판, 석영기판, 무알카리유리 등이 많이 사용된다.

상기 전계효과 트랜지스터는, 실리콘산화막(122)상에 형성된 채널영역(123a), 소스영역(123b) 및 드레인 영역(123c)으로 이루어지는 다결정실리콘 박막(123)과, 다시 그 위에 형성된 게이트절연막(124), 게이트전극(125), 실리콘산화막(126) 및 금속배선(127)으로 구성된다.

그러나, 다결정실리콘 박막트랜지스터는 현재로는, 그의 문턱전압을 충분히 제어하는 것이 곤란하기 때문에, 화상표시장치의 구동회로에 사용하기에는 필요로 하는 특성을 발휘할 수 없는 경우가 있다.

일반적으로, 활성층으로 되는 다결정실리콘 박막(123)은, n형화하는 경향에 있기 때문에, n채널형 트랜지스터(이하, n채널 트랜지스터라 함)의 문턱전압과 p채널형 트랜지스터(이하, p채널 트랜지스터라 함)의 문턱전압은 모두 부(負)의 방향으로 시프트한다. 즉, n채널 트랜지스터는 다소 디플레션(depletion)의 요소가 많아져, 일정 전압전압하에서는 상대적으로 구동력이 증대하고, 또한 오프전류가 증가한다. 한편, p채널 트랜지스터는, 문턱전압이 높아져 구동력이 대폭 저하한다.

이 때문에, n채널 트랜지스터의 구동력과 p채널 트랜지스터의 구동력간에 불균형이 발생함과 동시에, n채널 트랜지스터에서는 누설전류가 증가한다.

상기와 같이, 양 트랜지스터의 구동력에 큰 불균형이 발생하면, 구동회로의 특성이 현저히 훼손될 염려가 있다. 예컨대, 주사신호선 구동회로(102) 및 데이터신호선 구동회로(103)내에 설치되는 것이 많은 시프트

레지스터는, CMOS회로로 구성되는 경우, 그 동작속도의 특성이 떨어지는(구동력이 적은)트랜지스터의 특성에 의해 결정된다. 이 때문에, p채널 트랜지스터의 문턱전압이 높으면, n채널 트랜지스터의 양호한 특성이 충분히 발생되지 않게 된다. 또한, 높은 유지특성이 요구되는 샘플링회로(샘플링스위치 113, 114)등에서는, 문턱전압이 낮고, 또한 오프전류가 큰 n채널 트랜지스터를 사용하면 정상적인 동작이 불가능하게 되는 문제가 있다.

또한, 상기 n채널 트랜지스터의 문턱전압과 p채널 트랜지스터의 문턱전압의 불균형뿐만 아니라, 각각의 문턱전압의 절대치가 큰 것도 바람직하지 않다. 예컨대, 문턱전압이 전원전압의 30%이상으로 되는 경우가 있다. 이와 같은 현상은, 트랜지스터의 구동력의 저하를 초래하여 구동회로의 성능을 제한하는 문제를 일으킨다.

화상표시장치를 구성하는 박막트랜지스터의 특성(문턱전압)의 변동 대책으로서, 예컨대 일본 특허공개 공보 1-189632호에 개시되어 있는 기술이 있다. 이와 같은 기술에서는, 박막트랜지스터에 있어서의 게이트전극과 대향하도록 전극이 설치되어 있고, 이 전극에 인가되는 전압을 변화시킴으로써, 박막트랜지스터의 문턱전압을 변화시킨다.

그러나, 상기 기술은, 화소스위치인 박막트랜지스터의 문턱전압에 의해 결정되는 영상신호의 전압레벨과 주사신호의 전압레벨과의 조정을 상기 전극의 전압레벨의 조정으로 지원하고 있어, 구동회로 그 자체의 특성을 향상시킬 수 없다. 따라서, 상기 기술은, 전술한 바와 같은 문제를 본질적으로 해결할 수 없다.

본 발명의 목적은, 동작속도, 유지특성 등이 개선된 박막트랜지스터 및 이 박막트랜지스터를 구동회로로서 사용한 화상표시장치를 제공하는 것이다.

화상표시장치에 있어서 화소를 구동하는 구동회로로서 사용되는, 본 발명의 제1박막트랜지스터 회로는, 상기 목적을 달성하기 위해, 절연성기판상에 형성된 복수의 박막트랜지스터로서, 각각에 게이트전극 및 활성층이 형성되어 있는 n채널형 및 p채널형의 박막트랜지스터, 및 상기 활성층내에 형성되는 채널영역을 사이에 두고 상기 게이트전극과 대향하도록 상기 박막트랜지스터에 공물로 배치되는 도전성전극을 구비한다. 상기에서, 도전성전극에는 일정 전압이 인가된다.

상기 제1박막트랜지스터 회로에 있어서, 도전성전극이 활성층의 채널영역을, 사이에 두고 각 게이트전극과 대향하도록 배치되고, 또한 도전성전극에 일정전압이 인가된다. 이 때, 활성층의 포텐셜이 변화하기 때문에, 이를 상쇄하는 분 만큼 게이트전극에 어프로치 전압이 인가된다. 그 결과, 인가전압에 따라 박막트랜지스터의 문턱전압을 시프트시킬 수 있다.

이에 따라, 어떤 이유로 박막트랜지스터의 문턱전압이 바라는 값 보다 부방향 또는 정방향으로 어긋난 경우, 도전성전극으로의 전압의 인가에 의해, 문턱전압을 시프트시키면, n채널형 트랜지스터의 문턱전압의 절대치와 p채널형 트랜지스터의 문턱전압의 절대치를 거의 같게 할 수 있다.

이와 같이, 제1박막트랜지스터의 회로에 의하면, 동작속도, 유지특성등의 특성을 대폭 향상시킬 수 있다.

상기 제1박막트랜지스터에 있어서의 상기 도전성전극은 바람직하게는 이하와 같이 구성된다.

- (1) n채널형 박막트랜지스터 또는 p채널형 박막트랜지스터의 어느 한쪽에만 배치된다.
- (2) 채널길이가 소정의 범위에 있는 박막트랜지스터에만 배치된다.
- (3) 스테틱회로를 구성하는 박막트랜지스터 또는 다이내믹회로를 구성하는 박막트랜지스터의 어느 한쪽에만 배치된다.
- (4) 동일 구동전압으로 구동되는 회로를 구성하는 박막트랜지스터에만 배치된다.
- (5) 아날로그회로를 구성하는 박막트랜지스터 또는 디지털회로를 구성하는 박막트랜지스터의 어느 한쪽에만 배치된다.

상기 제1박막트랜지스터 회로에 있어서는, 상기 (1) 내지 (5)의 구성에 의해 다음과 같이 문턱전압을 설정할 수 있다.

박막트랜지스터중 1채널형의 트랜지스터의 문턱전압이 이상하게 높거나 또는 낮은 경우에는, 그 박막트랜지스터에 있어서만 도전성전극이 배치됨으로써, 그 박막트랜지스터만 문턱전압을 시프트시킬 수 있다. 이에 따라, 예컨대, p채널형 트랜지스터의 문턱전압이 높기 때문에 이를 정방향으로 시프트시키는 경우에 있어서는, n채널형 트랜지스터의 문턱전압이 증대되지 않는다. 따라서, 요망하는 채널형의 박막트랜지스터의 문턱전압만 적절하게 조정할 수 있어, 동작성능이 우수한 박막트랜지스터 회로를 제공할 수 있다.

박막트랜지스터의 문턱전압이 그 채널길이에 의존하여 변화하는 경우에는, 채널길이가 소정의 범위에 있는 박막트랜지스터에만 도전성 전극이 배치됨으로써, 그 박막트랜지스터만 문턱전압을 시프트시킬 수 있다. 이에 따라, 다른 채널길이의 박막트랜지스터가 복수 존재하는 박막트랜지스터 회로에 있어서는, 특정의 채널길이의 박막트랜지스터만 특성을 조정할 수 있다. 따라서, 다른 채널길이의 박막트랜지스터가 존재하는 박막트랜지스터 회로의 동작특성을 향상시킬 수 있다.

박막트랜지스터 회로가 스테틱 회로 및 다이내믹 회로에 의해 구성되어 있는 경우에는, 어느 하나의 회로를 구성하는 박막트랜지스터에만 도전성전극이 배치됨으로써, 그 박막트랜지스터만 문턱전압을 시프트시킬 수 있다. 이에 따라, 고속동작이 요구되는 스테틱회로에서는 박막트랜지스터의 문턱전압이 비교적 낮은 값으로 설정된다. 한편, 높은 유지성능(누설전류가 적은)이 요구되는 다이내믹회로에서는 문턱전압이 비교적 높은 값으로 설정된다. 따라서, 어떤 회로에 대한 요구도 만족시킬 수 있다. 그 결과, 박막트랜지스터 회로에 있어서의 스테틱회로 또는 다이내믹회로의 동작특성을 향상시킬 수 있다.

박막트랜지스터 회로가 다른 구동전압으로 구동되도록 한 그룹으로 분류되는 경우에는, 동일 구동전압으로 구동되는 그룹의 회로를 구성하는 박막트랜지스터에만 도전성전극이 배치됨으로써, 그 박막트랜지스터만 문턱전압을 시프트시킬 수 있다. 이에 따라, 예컨대, 저전압으로 구동되는 그룹의 회로 또는 고전압으로

로 구동되는 그룹의 회로에 적합한 문턱전압을 설정할 수 있다. 따라서, 특정 전압으로 구동되는 회로의 동작특성을 향상시킬 수 있다.

박막트랜지스터 회로가 아날로그회로 및 디지털회로로 구성되는 경우에는, 어느 한쪽의 회로를 구성하는 박막트랜지스터에만 도전성전극이 배치됨으로써, 그 박막트랜지스터만 문턱전압을 시프트시킬 수 있다. 이에 따라, 고정도의 아날로그신호 레벨이 요구되는 아날로그 회로에서는, 누설전류를 억제하기 위해 박막트랜지스터의 문턱전압이 비교적 높게 설정된다. 한편, 고속동작이 요구되는 디지털회로에서는 문턱전압이 비교적 낮은 값으로 설정된다. 따라서, 어떤 회로에서의 요구도 만족시킬 수 있다. 그 결과, 박막트랜지스터 회로에 있어서의 아날로그회로 또는 디지털회로의 동작특성을 향상시킬 수 있다.

화상표시장치에 있어서 화소를 구동하는 구동회로로 사용되는 본 발명의 제2박막트랜지스터 회로는 상기 목적을 달성하기 위해, 절연성기판상에 형성되고, 소정의 속성에 따라 그룹들로 분류된 복수의 박막트랜지스터로서, 각각에 게이트전극 및 활성층이 형성되어 있는 n채널형 및 p채널형의 박막트랜지스터, 및 상기 활성층내에 형성되는 채널영역을 사이에 두고 상기 게이트전극과 대향하도록 상기 박막트랜지스터에 그룹마다 공통으로 배치되는 복수의 도전성전극을 구비한다. 상기에서, 도전성전극에는 각각 서로 다른 일정 전압들이 인가된다.

상기 제2박막트랜지스터 회로에 있어서, 도전성전극이 활성층의 채널영역을 사이에 두고 각 게이트전극과 대향하도록 복수 배치되고; 또한 이들 도전성전극에 각각 다른 일정전압들이 인가된다. 이에 따라, 상기 제1박막트랜지스터 회로와 같이, 박막트랜지스터의 문턱전압을 시프트시킬 수 있다. 또한, 도전성전극이 그룹마다 복수개 배치되어, 각 그룹에 각각 다른 전압이 인가된다. 이에 따라, 채널형, 채널길이 등의 속성에 따라 그룹으로 분류된 박막트랜지스터가 존재하는 상태로 박막트랜지스터를 구비하는 회로에 있어서, 각 형태의 박막트랜지스터에 따라 요구되는 수의 문턱전압을 시프트시킬 수 있다.

따라서, 동작속도, 유지특성 등의 점에서, 상기 제1박막트랜지스터 회로보다 우수한 특성을 보이는 박막트랜지스터 회로를 제공할 수 있다.

상기 제2박막트랜지스터에 있어서의 상기 복수의 도전성전극은 바람직하게 이하와 같이 구성된다.

- (6) n채널형의 박막트랜지스터와 p채널형의 박막트랜지스터에 개별적으로 배치된다.
- (7) 채널길이에 따라 그룹으로 분류된 박막트랜지스터의 그룹별로 배치된다.
- (8) 스테틱회로를 구성하는 박막트랜지스터와 다이내믹회로를 구성하는 박막트랜지스터에 개별적으로 배치된다.
- (9) 구동전압에 따라 그룹으로 분류된 회로를 구성하는 박막트랜지스터의 그룹별로 배치된다.
- (10) 아날로그회로를 구성하는 박막트랜지스터와 디지털회로를 구성하는 박막트랜지스터에 개별적으로 배치된다.
- (11) 채널길이에 따라 그룹으로 분류된 회로를 구성하는 박막트랜지스터의 어느 일부의 그룹에만 배치된다.
- (12) 구동전압에 따라 그룹으로 분류된 회로를 구성하는 박막트랜지스터의 어느 일부의 그룹에만 배치된다.

상기 제2박막트랜지스터 회로에 있어서, 상기 (6) 내지 (12)의 구성에 의해 다음과 같이 문턱전압을 설정할 수 있다.

박막트랜지스터 회로에 있어서, 박막트랜지스터의 n채널형의 박막트랜지스터와 p채널형의 박막트랜지스터에 각각 개별적인 도전성전극이 배치되기 때문에, 독립적으로 각 형태의 박막트랜지스터의 문턱전압을 바람직하게 설정할 수 있다. 이에 따라, 문턱전압의 자유도가 향상되어 회로의 특성을 적절하게 조정할 수 있다.

박막트랜지스터 회로에 있어서, 박막트랜지스터가 채널길이에 따른 그룹으로 분류되는 경우, 박막트랜지스터에 각각의 그룹마다 개별로 도전성전극이 배치됨으로써, 채널길이에 따라 적절한 문턱전압을 설정할 수 있다. 이에 따라, 단(短)채널효과 등에 의해 채널길이에 따라 문턱전압이 변화하는 경우에 있어서도, 적절한 문턱전압을 설정할 수 있다. 따라서, 상이한 채널길이인 박막트랜지스터가 존재하는 박막트랜지스터 회로의 특성을 적절하게 조정할 수 있다.

박막트랜지스터 회로에 있어서, 박막트랜지스터가 스테틱회로를 구성하는 그룹과 다이내믹회로를 구성하는 그룹으로 나누어지는 경우, 박막트랜지스터에 각각의 그룹마다 별개의 도전성전극이 배치됨으로써, 각각의 회로에 적절한 문턱전압을 설정할 수 있다. 한편, 높은 유지성능(누설전류가 적은)이 요구되는 다이내믹회로에서는 문턱전압이 비교적 높은 값으로 설정된다. 따라서, 각각의 회로에 대한 요구를 만족할 수 있다. 그 결과, 박막트랜지스터 회로에 있어서의 스테틱회로 및 다이내믹회로의 동작특성을 모두 향상시킬 수 있다.

박막트랜지스터 회로에 있어서, 박막트랜지스터가 다른 구동전압으로 구동되도록 한 그룹으로 분류되는 경우에는, 박막트랜지스터에 동일한 구동전압으로 구동되는 그룹마다 개별로 도전성전극이 배치됨으로써, 그 박막트랜지스터만 문턱전압을 시프트시킬 수 있다. 이에 따라, 각각의 그룹의 회로에 적절한 문턱전압을 설정할 수 있다. 예컨대, 저전압으로 구동되는 그룹의 회로에 있어서의 문턱전압과 고전압으로 구동되는 그룹의 회로에 있어서의 문턱전압을 독립하여 임의로 설정할 수 있다. 이에 따라, 다른 전압으로 구동되는 박막트랜지스터가 존재하는 박막트랜지스터 회로의 특성을 적절하게 조정할 수 있다.

박막트랜지스터 회로에 있어서, 박막트랜지스터가 아날로그회로를 구성하는 그룹과 디지털회로를 구성하는 그룹으로 나누어지는 경우, 박막트랜지스터에 각각의 그룹마다 별개의 도전성전극이 배치됨으로써, 각각의 회로에 적절한 문턱전압을 설정할 수 있다. 즉, 고정도의 아날로그 신호레벨이 요구되는 아날로그회로에서는 누설전류를 억제하기 위해 박막트랜지스터의 문턱전압이 비교적 높은 값으로 설정된다. 한편,

고속동작이 요구되는 디지털회로에서는 문턱전압이 비교적 낮은 값으로 설정된다. 따라서, 어떤 회로에 대한 요구도 만족시킬 수 있다. 그 결과, 박막트랜지스터 회로에 있어서의 아날로그회로 또는 디지털회로의 동작특성을 향상시킬 수 있다.

박막트랜지스터 회로에 있어서, 채널길이에 따른 그룹으로 분류된 박막트랜지스터의 어느 일부의 그룹에만 도전성전극이 배치됨으로써, 박막트랜지스터 회로가 복수의 채널길이의 그룹으로 구성되는 경우, 어느 일부의 그룹에 대해서만 독립적으로 임의의 복수의 문턱전압을 시프트시킬 수 있다. 이에 따라, 단(短)채널 효과 등에 의해 채널길이에 따라 문턱전압이 변화하는 경우에 있어서도, 적절한 문턱전압을 설정할 수 있다. 따라서, 상이한 채널길이의 박막트랜지스터가 혼재하는 박막트랜지스터 회로의 특성을 적절하게 조정할 수 있다.

박막트랜지스터 회로에 있어서, 구동전압에 따라 그룹으로 분류된 회로를 구성하는 박막트랜지스터의 어느 일부의 그룹에만 배치됨으로써, 박막트랜지스터 회로가 복수의 구동전압의 그룹에 의해 구성되는 경우, 어느 일부의 그룹에 대해서만 독립적으로 임의의 복수의 문턱전압을 설정할 수 있다. 이에 따라, 다른 전압으로 구동되는 박막트랜지스터가 혼재하는 박막트랜지스터 회로의 특성을 적절하게 조정할 수 있다.

상기 제1 및 제2박막트랜지스터 회로에 있어서, 도전성전극이 적어도 상기 채널영역 및 그 주변부만에 있어서 상기 활성층에 마주보도록 면적 및 위치를 결정하는 것이 바람직하다. 이 구조에서는, 도전성전극이 활성층에 있어서의 채널영역의 양쪽에 존재하는 소스영역과 드레인영역에 대항하는 면적이 낮다. 이에 따라, 소터거 구조 및 역소터거 구조의 어느 박막트랜지스터의 구조에 있어서도, 도전성 전극과 소스영역 및 드레인영역간에 생기는 기생용량이 작게 된다. 따라서, 회로동작의 고속화를 용이하게 도모할 수 있다.

또한, 상기 제1 및 제2박막트랜지스터 회로에 있어서, 도전성 전극이 채널영역을 포함한 모든 영역에서 활성층에 마주 보도록 면적 및 위치를 결정하는 것이 바람직하다. 이에 따라, 소터거 구조의 박막트랜지스터에서는, 도전성전극이 상방에 설치되는 소스영역 및 드레인영역에 도전성전극의 주변부에 의한 단차가 발생되지 않게 된다. 이에 따라, 결정성의 열화나 단차부에서의 박막화의 영향에 의한 특성의 저하가 발생하지 않는다. 따라서, 품질이 높은 박막트랜지스터 회로를 제공할 수 있다.

또한, 상기 제1 및 제2박막트랜지스터 회로에 있어서의 도전성 전극은, 차광성재료로 이루어지는 것이 바람직하다. 이에 따라, 박막트랜지스터에 입사하는 광을 차단할 수 있어, 그 광에 의한 누설전류의 증가 등의 악영향을 방지할 수 있다. 이에 따라, 박막트랜지스터회로의 품질을 향상시킬 수 있다.

또한, 상기 제1 및 제2박막트랜지스터 회로에 있어서의 활성층은, 공핍층의 최대폭의 2배 이하의 막두께로 형성된 반도체박막으로 이루어지는 것이 바람직하다. 이에 따라, 반도체박막이 게이트전극과 도전성전극에 인가되는 전압에 의해 완전히 공핍화한다. 따라서, 문턱전압을 보다 효과적으로 시프트시킬 수 있다. 이에 따라, 제1 및 제2박막트랜지스터 회로의 특성을 더욱 향상시킬 수 있다.

한편, 본 발명의 화상표시장치는, 상기 목적을 달성하기 위해, 절연성기판상에 매트릭스형태로 형성된 복수의 표시용 화소, 이들 화소에 영상신호를 일단위로 제공하는 영상신호 공급수단(데이터신호선 구동회로), 및 상기 화소로의 영상신호의 기압을 행단위로 제어하는 기압제어수단(주사신호선 구동회로)을 포함하며, 상기 영상신호 공급수단 및 기압제어수단의 적어도 한 쪽에는 상기 각 박막트랜지스터 회로들중 어느 것이 제공되어 있다.

이에 따라, 각 박막트랜지스터 회로의 특성에 따라 영상신호 공급수단 및 기압제어수단의 동작특성을 향상시킬 수 있다.

이하, 본 발명의 바람직한 실시예를 첨부 도면을 참조하여 상세히 설명한다.

[실시예 1]

본 발명의 제1 실시예에 대해 제 1도 내지 제 4도를 참조하여 설명하면 다음과 같다.

본 실시예에 관한 박막트랜지스터 회로는, 액티브매트릭스 구동방식의 화상표시장치에 사용되는 주사신호선 구동회로 또는 데이터신호선 구동회로에 제공되며, 제 3도에 보인 바와 같이, 스타트필스 SPS 또는 SP6를 시프트시키는 CMOS구조의 시프트레지스터(1)를 구비한다.

스타터형 시프트레지스터인 시프트레지스터(1)는, 복수의 유닛으로 이루어지며, 제 3도에서 2유닛분의 구성이 도시되어 있다. 시프트레지스터(1)는, 1유닛당 2개의 클록드인버터(2,3) 및 하나의 인버터(4)를 구비한다.

클록드인버터(2) 및 인버터(4)는, 스타트필스 SP6 또는 SPS의 전송 라인상에 직렬로 설치되어 있다. 클록드인버터(3)는 인버터(4)와 병렬로 또한, 입력력이 역방향으로 접속되어 있다. 또한, 인버터(4)의 출력은 시프트레지스터(1)에 있어서의 각 유닛의 출력 OUT₁, OUT₂으로 되어 있고, 이로부터 각 유닛에 의해 시프트된 펄스가 취출된다.

상기 시프트레지스터(1)에 있어서, 클록드인버터(2,3) 및 인버터(4)를 구성하는 모든 전계효과트랜지스터(이하, 간단히 트랜지스터라 함)는 제 1(a) 또는 1(b)도에 보인 바와 같이, 절연성기판(11)상에 형성된 다결정실리콘 박막트랜지스터이다. 절연성기판(11)으로서는 사파이어기판, 석영기판, 무알카리 유기기판 등이 바람직하다.

또한, 시프트레지스터(1)를 구성하는 모든 트랜지스터에 있어서, 활성층인 다결정실리콘 박막(이하, p-Si 박막이라 함)(12) 아래에, 실리콘산화막으로 이루어지는 절연막(13)을 통해 도전성전극(14)이 배치된다. 이 도전성전극(14)에는 일정 전압이 인가된다.

상기 p-Si 박막(12)은, 채널영역(12a)과, 그 양쪽에 배치된 소스영역(12b) 및 드레인영역(12c)으로 이루어진다. 다시 그 위에는, 게이트절연막(15)을 통해 게이트전극(16), 실리콘산화막으로 이루어지는 홀간절연막(17), 소스전극 및 드레인전극으로 이루어지는 금속배선(18)이 형성되어 있다.

상기 도전성전극(14)은, ITO(indium-tin oxide)와 같은 투명재료로 이루어질 수도 있으며, 또는, Ti, Ta, Mo, Cr 등의 차광성재료로 이루어질 수도 있다. 차광성재료를 사용한 경우에는, 외부광에 기인하는 트랜지스터의 누설전류의 증가나 회로특성의 저하를 억제할 수 있어, 광의 악영향을 방지할 수 있는 이점이 있다.

상기와 같이 도전성전극(14)을 배치함과 동시에, 도전성전극(14)에 전압을 인가함으로써, 트랜지스터의 문턱전압을 시프트시킬 수 있다. 예컨대, n채널 트랜지스터의 문턱전압과 p채널 트랜지스터의 문턱전압이 모두 부의 측으로 편재되기 때문에, n채널 트랜지스터가 디플레션형으로 되고, 또한 p채널 트랜지스터의 문턱전압의 절대치가 크게 되는 경우에는, 문턱전압을 정방향으로 시프트시킬 수 있다.

이는, 활성층으로 되는 p-Si박막(12)의 포텐셜이, 도전성전극(14)에 인가된 전압에 의해, 부방향으로 변화하기 때문에 이를 상쇄하는 분만큼 게이트전극(14)에 어분으로 정의 전압을 인가하여야 하기 때문이다. 이 도전성전극(14)에 의한 p-Si박막(12)의 포텐셜 변화는, 가우스의 정리로부터 추측될 수 있는 바와 같이, p-Si박막(12)의 전체에 걸쳐 전하가 존재할 때 발생한다.

이와 같은 상태에서는, 트랜지스터가 도통할 때, p-Si박막(12)의 표면층(게이트전극(16)측)으로부터 공핍층(충전하량이 제로가 아닌 영역)과 이면층(도전성전극(14)측)의 공핍층이 연결되는 것이 바람직하다. 이는 다음과 같은 이유에 의한다.

p-Si박막(12)의 표면층으로부터의 공핍층과 이면층(도전성전극(14)측)의 공핍층이 연결됨으로써, p-Si박막(12)의 포텐셜의 최소치(또는 최대치)가 변화하기 때문에, 박막트랜지스터가 도통되기 위한 포텐셜 변화량도 변화한다. 그 결과, 박막트랜지스터의 문턱전압을 효과적으로 시프트시킬 수 있다.

p-Si박막(12)의 표면층으로부터의 공핍층과 이면층으로부터의 공핍층간의 연결을 통해, p-Si박막(12)의 막두께가 공핍층의 최대폭의 2배이하로 되도록 설정된다. 또한, 이 조건은 후술하는 다른 실시예에 있어서의 트랜지스터에도 동일하다.

실제로, 100nm 두께의 p-Si박막(12)을, 활성층으로 사용하여, 게이트절연막(15)의 막두께가 150nm이고, 절연막(13)의 막두께가 300nm인 트랜지스터에 있어서, 도전성전극(14)에 -20V의 전압을 인가했다. 그 결과, 2~3V의 문턱전압의 시프트가 관찰되었다.

제 4도는 n채널형 p-Si박막 트랜지스터의 게이트-소스전압대-드레인-소스 전류특성의 1예를 보인 그래프이다. 이 그래프에 있어서, 도전성전극에 바이어스 전압을 인가하지 않는(소스전극과 드레인위로 하는) 경우의 특성을 파선으로 표시하고, 도전성전극에 -20V의 바이어스 전압을 인가한 경우의 특성을 실선으로 나타낸다. 이를 특성으로부터, 도전성전극에 바이어스 전압을 인가함으로써, 문턱전압이 2.5V 시프트되는 것이 확인되었다.

여기에서, 제 1(a)도의 구조를 이루는 트랜지스터에 있어서, 도전성전극(14)은 적어도 채널영역(12a)과 거의 같은 폭으로 설정되는 것이 좋다. 그러나, 실제로는, 제 2(a)도에 보인 바와 같이, 제조상의 마진확보를 위해, 도전성전극(14)은 채널영역(12a)보다 약간 넓은 폭으로 형성된다.

이와 같은 구조에서는, 소스영역(12b)과 드레인영역(12c)의 하부에 존재하는 도전성전극(14)의 면적이 적기 때문에, 소스영역(12b) 및 드레인영역(12c)과 도전성전극(14)간에 발생하는 기생용량은 매우 적다. 이에 따라, 상기 구조의 트랜지스터로 이루어지는 회로는 기생용량에 의한 영향을 거의 받지 않기 때문에, 고속으로 동작할 수 있다.

한편, 제 1(b)도의 구조를 갖는 트랜지스터는, 제 2(b)도에 보인 바와 같이, 도전성전극(14)이 p-Si박막(12)의 하부에 p-Si박막(12)보다 넓게 되도록 제공된다.

이 트랜지스터에서, p-Si박막(12)에 있어서의 소스영역(12b) 및 드레인영역(12c)은, 제 1(a)도의 트랜지스터에 있어서의 소스영역(12b) 및 드레인영역(12c)과 같이 단차가 있는 구조와 달리 평탄하게 형성된다. 이에 따라, 제조공정(특히, p-Si박막(12)의 결정화공정)에 있어서, 하지(下地: base) 단차(이하에 상술한다)도, 도전성전극(14)에 의한 광반사율의 변화 등이 발생하지 않아, 제조된 트랜지스터에 그 영향이 나타나는 것이 방지된다.

도전성전극(14)이 활성층(예컨대, p-Si박막(12)와 부분적으로 대향하도록 배치되는 구조에서는, 도전성전극(14)의 상부에 활성층을 형성하는(퇴적시키는) 공정에 있어서, 도전성전극(14)의 측단에서 활성층에 단차가 생겨, 그 단차부에서 활성층의 막두께가 얇게 된다. 그 결과, 활성층의 결정화공정에 있어서, 단차부 부근의 결정성이 다른 부분의 결정성과 다르기(떨어지기) 때문에, 소스영역과 드레인영역의 비저항이 크게 될 가능성이 있다.

또한, 단차부에서의 박막화에 의해, 활성층의 단면적이 작아져, 소스영역의 저항 및 드레인영역의 저항이 상승할 가능성이 있다. 이 때문에, 트랜지스터의 애상대시 전류가 감소하게 된다.

또한, 단차부 주변에 있어서의 결정성의 열화의 영향이 채널영역(12a)에도 미칠 가능성이 있다. 이 경우에는, 문턱전압, 캐리어 이동도 등의 트랜지스터의 특성이 저하할 염려가 있다.

따라서, 활성층에 단차가 없으면, 트랜지스터에 상기와 같은 영향이 나타나지 않는다.

또한, 트랜지스터의 상기 두개의 구조는, 필요로 하는 트랜지스터의 성능에 따라 적절히 선택된다. 또한, 이들의 구조는 이하에 기술하는 다른 실시예에 대해서도 동일하게 적용된다.

본 실시예에 있어서, 다결정실리콘 박막트랜지스터는, 스택구조를 가지며, 도전성전극(14)이 p-Si박막(12)의 하부에 배치된다. 도전성전극(14)의 위치는, 게이트전극(16)의 위치에 대해 상대적으로 결정되기 때문에, 구조에 따라 다르게 된다. 역스택구조의 다결정실리콘 박막트랜지스터에서는 게이트전극이 절연층(13)에 형성되어 있어, 도전성전극이 게이트전극의 상부에 형성된 활성층의 상부에 배치된다.

상기와 같은 두 종류의 도전성전극의 배치는 이하에 기술하는 다른 실시예에 대해서도 동일하게

적용된다.

[실시예 2]

본 발명의 제2실시예에 대해 제 1도, 2도, 5도 및 6도를 참조하여 설명하면 다음과 같다. 본 실시예 및 후술하는 제3 내지 7 실시예에 있어서 상기 제1 실시예의 구성요소와 같은 기능을 갖는 구성요소에 대해서는 동일한 부호를 부기하고 그 설명은 생략한다.

본 실시예에 관한 박막트랜지스터회로에서는, 제 5도에 보인 바와 같이, 시프트레지스터(1)를 구성하는 각 트랜지스터 중, p채널 트랜지스터에 있어서만 상기 도전성전극(14)이 설치되어 있다.

도전성전극(14)은, 상기 제1 실시예에 있어서의 트랜지스터와 같이, 제 1(a) 및 2(a)도 또는 제 1(b) 및 2(b)도에 보인 바와 같이, p-Si 박막(12)의 하방에 절연막(13)을 사이에 두고 배치되어 있다.

상기 구성에 있어서는, 제1 실시예에서 기술한 이유에 따라, p채널 트랜지스터의 문턱전압만 시프트시킬 수 있다. 상기 구성은 n채널 트랜지스터의 문턱전압이 요구하는 값으로 되어 있는 것에 대해, p채널 트랜지스터의 문턱전압이 요구하는 값으로부터 크게 벗어나 있는 경우에 유효하다.

또한, 본 실시예에 관한 다른 박막트랜지스터회로에서는, 제 6도에 보인 바와 같이, n채널 트랜지스터에 있어서도, p채널 트랜지스터와 별개로 도전성전극(14)이 설치되어 있다.

이와 같은 구성에서는, 각각의 도전성전극(14)에 다른 일정전압이 인가됨으로써, n채널 트랜지스터의 문턱전압과 p채널 트랜지스터의 문턱전압을 독립하여 시프트시킬 수 있다. 이 구성은, n채널 트랜지스터의 문턱전압과 p채널 트랜지스터의 문턱전압이 각각의 요구하는 값으로부터 크게 벗어나 있고, 각각 다른 전압치만 시프트시키는 경우에 유효하다.

[실시예 3]

본 발명의 제3실시예에 대해 제 1도, 2도, 7도, 8도 및 9도를 참조하여 설명하면 다음과 같다.

본 실시예에 관한 박막트랜지스터회로는, 제 7도 및 8도에 보인 바와 같이, 액티브매트릭스구동방식이 화상표시장치에 사용되는 데이터신호선 구동회로(21)이다.

이 데이터신호선 구동회로(21)에 있어서, 시프트레지스터(1)를 구성하는 각 유닛(도면에 SR로 표시)(1a)은, 동기신호 CKS에 동기하여 스타트펄스/SPS를 순차 시프트시키도록 되어 있다. 각 유닛(1a)으로부터 출력되는 펄스는 버퍼회로(22)를 통해, 샘플링회로(23)에 제공된다.

버퍼회로(22)는 분기된 두개의 신호전송경로에 다른 주의 인버터가 배치되어 있는 회로로, 각각의 신호전송경로를 통해, 다른 극성의 펄스를 출력한다. 샘플링회로(23)는 상기 두개의 신호전송경로로부터의 펄스가 각각 n채널 트랜지스터와 p채널 트랜지스터의 게이트전극에 제공됨으로써, 도통하여, 영상신호 DAT를 데이터신호선 SL₁, SL₂, SL₃에 출력하도록 되어 있다.

데이터신호선 구동회로(21)를 구성하는 전 트랜지스터 중, 유닛(1a)을 구성하는 트랜지스터는, 시프트레지스터(1)가 고속동작을 요하기 때문에, 채널길이 L₁이 짧게 되어 있다(L=6 μ m). 또한, 데이터신호선 구동회로(21)에 있어서 버퍼회로(22)를 구성하는 트랜지스터는, 시프트레지스터(1)와 같이 고속동작이 요구되지 않기 때문에, 채널길이 L₂이 길게 되어 있다(L=8 μ m). 또한, 샘플링회로(23)를 구성하는 트랜지스터는, 누설전류를 감소시켜야 하므로, 채널길이 L₃이 더 길게 되어 있다(L=10 μ m).

상기 데이터신호선 구동회로(21)에 있어서, 제 7도에 보인 바와 같이, 유닛(1a)을 구성하는 트랜지스터 중 채널길이 L₁이 가장 짧은(L=6 μ m) 트랜지스터에만 상기 도전성전극(14)이 부착된다. 도전성전극(14)은 제 1(a) 및 2(a)도 또는 제 1(a) 및 2(b)도에 보인 바와 같이, p-Si 박막(13)의 하방에 절연막(13)을 사이에 두고 배치되어 있다.

상기 구성에 있어서는, 제1 실시예에서 기술한 이유에 따라, 채널길이가 짧은 트랜지스터의 문턱전압만 시프트시킬 수 있다.

또한, 본 실시예에 관한 다른 박막트랜지스터회로에서는, 제 8도에 보인 바와 같이, 시프트레지스터(1)를 구성하는 트랜지스터는 물론, 버퍼회로(22)를 구성하는 트랜지스터 및 샘플링회로(23)를 구성하는 채널길이 L₂가 긴 트랜지스터에 있어서도 각각 개별적으로 도전성전극(14)이 부착된다.

이와 같은 구성에서는, 각각의 도전성전극(14)에 다른 일정전압이 인가됨으로써, 시프트레지스터(1)에 있어서의 트랜지스터의 문턱전압과, 버퍼회로(22) 및 샘플링회로(23)를 구성하는 트랜지스터의 문턱전압을 각각 독립하여 시프트시킬 수 있다.

또한, 본 실시예에 관한 또 다른 박막트랜지스터회로에서는, 제 9도에 보인 바와 같이, 시프트레지스터(1)를 구성하는 트랜지스터는 물론, 샘플링회로(23)를 구성하는 채널길이 L₃가 가장 긴 트랜지스터에 있어서도 각각 개별적으로 도전성전극(14)이 부착된다. 여기에서, 버퍼회로(22)를 구성하는 트랜지스터에는 도전성전극(14)이 부착되지 않는다.

이와 같은 구성에서는, 각각의 도전성전극(14)에 다른 일정전압이 인가됨으로써, 시프트레지스터(1)에 있어서의 트랜지스터의 문턱전압과, 샘플링회로(23)를 구성하는 트랜지스터의 문턱전압을 각각 독립하여 시프트시킬 수 있다. 여기에서, 도전성전극(14)이 배치되지 않은 버퍼회로(22)를 구성하는 트랜지스터에 있어서, 문턱전압은 시프트하지 않는다.

상기 세개의 구성은, 단채널효과등으로 인해 채널길이에 따라 문턱전압이 다른 경우가 있기 때문에, 특히 채널길이에 따라 문턱전압이 요구하는 값으로부터 크게 벗어나 있을때 유효하다.

[실시예 4]

본 발명의 제4실시예에 대해 제 1도, 2도, 10도, 11도 및 12도를 참조하여 설명하면 다음과 같다.

본 실시예에 관한 박막트랜지스터회로는, 제 10도 제 11도에 보인 바와 같이, 액티브매트릭스구동방식이 화상표시장치에 사용되는 데이터신호선 구동회로(61)이다.

이 데이터신호선 구동회로(61)는, 제3실시예에 보인 데이터신호선 구동회로와 거의 같은 구성이나, 시프트레지스터(51)가 다이내믹형인 것이 다르다.

제 12도에는, 시프트레지스터(51)의 2 유닛분의 구성이 도시되어 있다. 시프트레지스터(51)는, 1유닛당 두개의 클록드라이버(2) 및 하나의 인버터(4)를 구비한다. 클록드라이버(2)와 인버터(4)는, 스타트필스 SP6, SPS의 전송라인상에 직렬로 설치되어 있다. 또한, 인버터(4)의 출력은 시프트레지스터(51)에 있어서의 각 유닛의 출력 OUT₁, OUT₂를 형성하며, 이로부터 각 유닛에 의해 시프트된 펄스가 취출된다.

상기 데이터신호선 구동회로(61)에 있어서, 시프트레지스터(51)를 구성하는 각 유닛(도면에 SR로 표시)(51a)는, 동기신호 CKS에 동기하여 스타트필스 SPS를 순차 시프트시키도록 되어 있다. 각 유닛(51a)에서 출력된 펄스는 버퍼회로(22)를 통해 샘플링회로(23)에 제공된다.

데이터신호선 구동회로(61)를 구성하는 전 트랜지스터중, 유닛(51a)를 구성하는 트랜지스터는, 시프트레지스터(51)가 정상으로 동작하도록 누설전류를 낮게 억제할 필요가 있다. 한편, 다른 버퍼회로(22) 및 샘플링회로(23)등의 소대역 회로에서는 구동력이 높은 것이 바람직하다.

상기 데이터신호선 구동회로(61)에서는, 제 10도에 보인 바와 같이, 유닛(51a)를 구성하는 트랜지스터, 즉 누설전류를 억제할 필요가 있는 트랜지스터에 있어서만 상기 도전성전극(14)이 설치되어 있다. 도전성전극(14)은, 제 1(a) 및 2(a)도 또는 제 1(b) 및 2(b)도에 보인 바와 같이, p-Si박막(12)의 하부에 절연막(13)을 사이에 두고 배치되어 있다.

상기와 같은 구성에 있어서는, 제1실시예에서 기술한 이유에 따라, 다이내믹 회로를 구성하는 트랜지스터의 문턱전압만 시프트시킬 수 있다.

또한, 본 실시예에 관한 다른 박막트랜지스터회로에서는, 제 11도에 보인 바와 같이, 시프트레지스터(51)이외의 버퍼회로(22), 샘플링회로(23)등의 소대역회로를 구성하는 트랜지스터에 있어서도, 시프트레지스터(51)를 구성하는 트랜지스터와 독립하여 도전성전극(14)이 설치된다.

이와 같은 구성에서는, 각각의 도전성전극(14)에 다른 일정전압이 인가됨으로써, 다이내믹회로인 시프트레지스터(1)에 있어서의 트랜지스터의 문턱전압과 소대역회로인 버퍼회로(22) 및 샘플링회로(23)를 구성하는 트랜지스터의 문턱전압을 각각 독립하여 시프트시킬 수 있다.

상기 두개의 구성은 동일기판상에 다이내믹회로와 소대역회로가 공존하는 경우, 각각의 회로를 구성하는 트랜지스터의 문턱전압이 요구하는 값으로부터 크게 벗어나 있을때 효과적이다.

[실시예 5]

본 발명의 제5실시예에 대해 제 1도, 2도, 13도, 14도 및 15도를 참조하여 설명하면 다음과 같다.

본 실시예에 관한 박막트랜지스터회로는, 제 13도 및 14도에 보인 바와 같이, 액티브매트릭스구동방식이 화상표시장치에 사용되는 주사신호선 구동회로(31)이다.

이 주사신호선 구동회로(31)에 있어서, 시프트레지스터(1)를 구성하는 복수의 유닛(1a)은 동기신호 CK6에 동기하여 스타트필스 SP6를 순차 시프트시키도록 되어 있다. 유닛(1a)의 차단에 제공된 NAND 게이트(32)는, 인접하는 유닛(1a, 1b)에서 출력된 두개의 펄스의 논리곱 부정을 취한다. 또한, NAND 게이트(32)의 차단에 제공된 NOR 게이트(33)는 각각 NAND 게이트(32)의 출력과 동기신호 6PS의 논리합 부정을 취한다.

NOR 게이트(33)의 차단에는, 레벨시프터(34)와 버퍼(35)가 순차 설치되어 있다. NOR 게이트(33)의 출력은, 주사신호로서 레벨시프터(34) 및 버퍼(35)를 통해 주사신호선 GL₁, GL₂, GL₃에 제공된다.

또한, 시프트레지스터(1), NAND 게이트(32), NOR 게이트(33)등으로 이루어지는 구동전압이 낮은 회로의 그룹에는, 전원전압 V_{DD} (고전위), V_{SS} (저전위)가 구동전압으로 제공된다. 한편, 레벨시프터(34), 버퍼(35)등으로 이루어지는 구동전압이 높은 회로의 그룹에는, 전원전압 V_{DD} (고전위), V_{SS} (저전위)가 구동전압으로 제공된다.

주사신호선 구동회로(31)에서는, 제 13도에 보인 바와 같이, 레벨시프터(34)보다 전단의 시프트레지스터(1), NAND 게이트(32), NOR 게이트(33)등의 회로를 구성하는 트랜지스터에 있어서만 상기 도전성전극(14)이 제공된다. 도전성전극(14)은, 제 1(a) 및 2(a)도 또는 제 1(b) 및 2(b)도에 보인 바와 같이, p-Si박막(12)의 하부에 배치되어 있다.

상기와 같이 구성에 있어서는, 제1실시예에서 기술한 이유에 따라, 레벨시프터(34)보다 전단의 회로를 구성하는 트랜지스터의 문턱전압만 시프트시킬 수 있다. 상기 구성은 레벨시프터(34)보다 전단에 제공된 구동전압이 낮은 회로를 구성하는 트랜지스터에 요구되는 문턱전압을 알고자 하는 경우에 유효하다.

또한, 본 실시예에 관한 다른 박막트랜지스터회로에서는, 제 14도에 보인 바와 같이, 레벨시프터(34)보다 후단의 버퍼(35)등의 회로(레벨시프터 34를 포함)를 구성하는 트랜지스터에 있어서도, 레벨시프터(34)보다 전단의 회로를 구성하는 트랜지스터와 별개로 도전성전극(14)이 설치되어 있다.

이와 같은 구성에서는, 각각의 도전성전극(14)에 다른 일정전압이 인가됨으로써, 레벨시프터(34)보다 전단의 회로에 있어서의 트랜지스터의 문턱전압과 레벨시프터(34)보다 후단의 회로에 있어서의 트랜지스터의 문턱전압을 독립하여 시프트시킬 수 있다. 상기 구성은, 각각의 그룹에서 요구되는 문턱전압을 알고자 하는 경우에 유리하다.

제 13도에 보인 박막트랜지스터회로는, 제 15도에 보인 바와 같이, 화상표시장치에 주사신호선 구동회로(31)로서 조합되어 있다. 이 화상표시장치에 있어서, 데이터신호선 구동회로(21)는, 예컨대, 상기 실시예

3에 있어서의 회로(제 8도 참조)로 구성되어 있다. 상기 데이터신호선 구동회로(21) 및 주사신호선 구동회로(31)는, 화소어레이(41)에 접속되어 있다.

여기에서, 데이터신호선 구동회로(21) 및 주사신호선 구동회로(31)에 인가되는 전원전압은 다르다. 데이터신호선 구동회로(21)에는, 전원전압 V_{DD} (고전위), V_{SS} (저전위)가 구동전압으로 제공된다. 한편, 주사신호선 구동회로(31)에 있어서도, 전술한 바와 같이, 구동전압이 낮은 회로의 그룹에 전원전압 V_{DD} (고전위), V_{SS} (저전위)가 제공되고, 구동전압이 높은 회로의 그룹에 전원전압 V_{DDH} (고전위), V_{SSL} (저전위)가 제공된다.

한편, 비록 제 15도에는 도시하지 않았으나, 제 14도에 보인 박막트랜지스터회로는 제 13도에 보인 박막트랜지스터와 동일하게 화상표시장치에 조합된다.

[실시예 6]

본 발명의 제6실시예에 대해 제 1도, 2도, 16도 및 17도를 참조하여 설명하면 다음과 같다. 또한, 본 실시예에 있어서, 상기 제3실시예의 구성요소와 같은 기능을 갖는 구성요소에 대해서는 동일한 부호를 부기하고 그 설명은 생략한다.

본 실시예에 관한 박막트랜지스터회로에서는, 제 16도에 보인 바와 같이, 액티브 매트릭스 구동방식의 화상표시장치에서 사용되는 데이터신호선 구동회로(21)이다. 본 실시예의 데이터신호선 구동회로(21)에서는, 아날로그신호인 샘플링회로(23)를 구성하는 각 트랜지스터에 있어서도, 도전성전극(14)이 설치되어 있다. 도전성전극(14)은, 제 1(a) 및 2(a)도 또는 제 1(b) 및 2(b)도에 보인 바와 같이, p-Si 박막(12)의 하방에 배치되어 있다.

상기 구성에 있어서는, 제1실시예에서 기술한 이유에 따라, 아날로그회로인 샘플링회로(23)를 구성하는 트랜지스터의 문턱전압만 시프트시킬 수 있다.

또한, 본 실시예에 관한 다른 박막트랜지스터회로에서는, 제 17도에 보인 바와 같이, 샘플링회로(23) 이외의 시프트트랜지스터(1), 버퍼회로(22)등의 디지털회로를 구성하는 트랜지스터에 있어서도, 아날로그 회로(샘플링회로 23)를 구성하는 트랜지스터와 별개로 도전성전극(14)이 설치되어 있다.

이와 같은 구성에서는, 각각의 도전성전극(14)에 다른 일정전압이 인가됨으로써, 아날로그회로(샘플링회로 23)에 있어서의 트랜지스터의 문턱전압과 디지털회로(샘플링회로 23 이외의 회로)에 있어서의 트랜지스터의 문턱전압을 독립하여 시프트시킬 수 있다.

상기 두개의 구성은, 샘플링회로(23)와 같이 아날로그 데이터를 처리하기 위해 낮은 부하전류가 요구되는 아날로그회로를 구성하는 트랜지스터와, 시프트트랜지스터(1)등과 같이 디지털데이터를 처리하기 위해 고속 동작이 요구되는 디지털회로를 구성하는 트랜지스터에 있어서, 각각 요구되는 문턱전압을 얻고자 하는 경우에 유효하다.

또한, 본 실시예 및 상기 각 실시예에 있어서는, 박막트랜지스터회로의 여러 종류를 기술하였으나, 각 실시예의 박막트랜지스터회로를 조합시킨 예에 대해서는 설명을 생략한다. 그러나, 각 박막트랜지스터회로를 적절히 조합시켜도 각 실시예에서 기술한 효과가 얻어진다. 예컨대, 어느 범위내의 채널길이를 갖는 n 채널형 박막트랜지스터와, 어느 범위내의 구동전압이 제공되는 아날로그회로를 구성하는 트랜지스터에 각각 개별적인 도전성전극이 설치되고, 각각에 개별적인 전압이 인가되는 구성이 제안되어 있다.

[실시예 7]

본 발명의 제7실시예에 대해 제 1도 내지 18도를 참조하여 설명하면 다음과 같다.

본 실시예에 관한 화상표시장치는, 제 18도에 보인 바와 같이 화소어레이(41), 데이터신호선 구동회로(42), 주사신호선 구동회로(42), 제어회로(44) 및 전원회로(45)를 구비한다.

화소어레이(41), 데이터신호선 구동회로(42) 및 주사신호선 구동회로(42)는 기판(46)상에 형성된다. 기판(46)은, 유리와 같은 절연성 및 투광성을 갖는 재료로 이루어진다. 화소어레이(41)는, 종래의 화상표시장치(제 19도 참조)와 같이 데이터신호선 SL, 주사신호선 SL, 및 화소(47)를 갖는다.

영상신호공급수단으로서의 데이터신호선 구동회로(42)는, 제어회로(44)에 의해 제공된 영상신호 DAT를 제어회로 CKS로부터의 동기신호 CKS 및 스타트펄스 SP에 따라 샘플링하여 각 열의 화소에 접속된 데이터신호선 SL, SL₁에 출력하도록 되어 있다. 기판제어수단으로서의 주사신호선 구동회로(43)는, 제어회로(44)로부터의 동기신호 CKG, GPS 및 스타트펄스 SP에 따라 각 행의 화소에 접속된 주사신호선 GL, GL₁에 제공하는 주사신호를 발생하도록 되어 있다.

전원회로(45)는, 전원전압 V_{DD} , V_{SS} , V_{DDH} , V_{SSL} , 접지전위 COM 및 전압 V_{th} 를 발생하는 회로이다. 전원전압 V_{DD} , V_{SS} 는 각각 레벨이 다른 전압으로, 데이터신호선 구동회로(42)에 제공된다. 전원전압 V_{DDH} , V_{SSL} 는 각각 레벨의 다른 전압으로 주사신호선 구동회로(43)에 제공된다. 전원전압 V_{DD} , V_{SS} 은, 각각 실시예 5에 있어서의 전원전압 V_{DDH} , V_{SSL} 와 전원전압 V_{SS} , V_{SSL} 를 포함한다. 접지전위 COM은 기판(46)에 설치된 도시하지 않은 공통전극선에 제공된다.

전압 V_{th} 는 도전성전극(14)에 인가되는 전압으로, 전술한 각 실시예에 있어서의 도전성전극(14)의 구성에 따라 필요한 수와 레벨이 설정된다. 이와 같이, 전압 V_{th} 가 도전성전극(14)의 구성에 따라 다른 레벨로 설정되기 때문에, 전원회로(45)는, 외부로부터의 전압 V_{th} 를 조정하도록 구성되는 것이 바람직하다.

데이터신호선 구동회로(42) 및 주사신호선 구동회로(43)는, 제 3도, 5도 및 6도에 보인 시프트트랜지스터(1)중 어느 하나를 구비한다. 또는, 데이터신호선 구동회로(42)와 주사신호선 구동회로(43)의 어느 하나가 상기 세 형태의 시프트트랜지스터(1)중 어느 하나를 구비할 수도 있다. 또는, 데이터신호선 구동회로

(42) 및 주사신호선 구동회로(43)의 적어도 어느 한 쪽이 제 12도에 보인 시프트레지스터(51)를 구비할 수도 있다.

본 화상표시장치의 다른 구성에 있어서, 데이터신호선 구동회로(42)는, 제 7도, 8도, 9도, 16도 및 17도에 보인 데이터신호선 구동회로(21) 및 제 10도와 11도에 보인 데이터신호선 구동회로(61)중 어느 하나의 구성을 포함한다. 주사신호선 구동회로(43)는, 제 13도 및 14도에 보인 주사신호선 구동회로(31)중 어느 하나의 구성을 포함한다. 또는, 데이터신호선 구동회로(42)와 주사신호선 구동회로(43)중 어느 한 쪽이 상술한 바와 같이 어느 하나의 구동회로를 포함해도 좋다.

본 실시예에서는, 데이터신호선 구동회로(42) 및 주사신호선 구동회로(43) 또는 양자의 어느 한 쪽이 상술한 바와 같이 제 1(a) 및 2(a)도 또는 1(b) 또는 2(b)도에 보인 바와 같이 도전성전극(14)을 갖는 트랜지스터를 포함한다. 이에 따라, 데이터신호선 구동회로(42) 또는 주사신호선 구동회로(43)를 구성하는 트랜지스터의 문턱전압을 각각에 요구되는 값에 맞추어 시프트시킬 수 있다. 따라서, 동작속도 및 표시품위가 높은 화상표시장치를 제공할 수 있다.

이상 본 실시예 및 다른 실시예에 있어서, 본 발명에 대해 여러 구체예를 기술하였으나, 본 발명은 상기 각 실시예에 한정되지 않으며 동일한 개념에 기초한 모든 구성에 적용된다.

즉, 본 발명의 상세한 설명함에 있어서의 구체적인 실시양태 또는 실시예는 어디까지나 본 발명의 기술내용을 명확히 하기 위한 것으로, 그와같은 구체예에만 한정하여 협의로 해석되어서는 안되며 본 발명의 정신과 정부된 특허청구사항의 범위내에서 여러가지로 변경하여 실시할 수 있을 것이다.

(5) 청구의 범위

청구항 1

화상표시장치에서 화소를 구동하는 구동회로로 사용되는 박막트랜지스터회로에 있어서, 절연성기판상에 형성된 복수의 박막트랜지스터로서, 각각에 게이트전극 및 활성층이 형성되어 있는 n채널형 및 p채널형의 박막트랜지스터, 및 상기 활성층내에 형성되는 채널영역을 사이에 두고 상기 게이트전극과 대향하도록 상기 박막트랜지스터에 공통으로 배치되는 도전성전극으로서, 일정전압이 인가되는 도전성전극을 포함하고, 상기 활성층은 공핍층의 최대폭의 2배 이하의 막두께로 형성된 반도체박막으로 이루어지는 것을 특징으로 하는 박막트랜지스터회로.

청구항 2

제1항에 있어서, 상기 도전성전극은 n채널형의 박막트랜지스터 또는 p채널형의 박막트랜지스터의 어느 한 쪽에만 배치되는 박막트랜지스터회로.

청구항 3

제1항에 있어서, 상기 도전성전극은 소정 범위내에 채널길이가 설정된 박막트랜지스터에만 배치되어 있는 박막트랜지스터회로.

청구항 4

제1항에 있어서, 상기 도전성전극은 스테이션회로를 구성하는 박막 트랜지스터 또는 다이오드회로를 구성하는 박막트랜지스터의 어느 한쪽에만 배치되어 있는 박막트랜지스터회로.

청구항 5

제1항에 있어서, 상기 도전성전극은 동일한 구동전압으로 구동되는 회로를 구성하는 박막트랜지스터에만 배치되어 있는 박막트랜지스터회로.

청구항 6

제1항에 있어서, 상기 도전성전극은 아날로그회로를 구성하는 박막트랜지스터 또는 디지털회로를 구성하는 박막트랜지스터의 어느 한쪽에만 배치되어 있는 박막트랜지스터회로.

청구항 7

제1항에 있어서, 상기 도전성전극은 적어도 상기 활성층에 있어서의 상기 채널영역 및 그 주변부에만 마주 보도록, 면적 및 배치위치가 정해지는 박막트랜지스터회로.

청구항 8

제1항에 있어서, 상기 도전성전극은 상기 활성층에 있어서의 상기 채널영역을 포함하는 모든 영역에 마주 보도록, 면적 및 배치위치가 정해지는 박막트랜지스터회로.

청구항 9

제1항에 있어서, 상기 도전성전극은 차광성재료로 이루어지는 박막트랜지스터회로.

청구항 10

화상표시장치에서 화소를 구동하는 구동회로로 사용되는 박막트랜지스터회로에 있어서, 절연성기판상에 형성되고, 소정의 속성에 따라 그룹들로 분류된 복수의 박막트랜지스터로서, 각각에 게이트전극 및 활성층이 형성되어 있는 n채널형 및 p채널형의 박막트랜지스터, 및 상기 활성층내에 형성되는 채널영역을 사이에 두고 상기 게이트전극과 대향하도록 상기 박막트랜지스터에 그룹마다 공통으로 배치되며, 각각 서로 다른 일정 전압들이 인가되는 복수의 도전성전극을 포함하고, 상기 활성층은 공핍층의 최대폭의 2배 이하

의 막두께로 형성된 반도체박막으로 이루어지는 것을 특징으로 하는 박막트랜지스터회로.

청구항 11

제10항에 있어서, 상기 도전성전극들은 n채널형의 박막트랜지스터와 p채널형의 박막트랜지스터에 개별적으로 배치되는 박막트랜지스터회로.

청구항 12

제10항에 있어서, 상기 도전성전극들은, 채널길이에 따라 그룹으로 분류되는 박막트랜지스터의 경우, 각각의 그룹에 따라 개별적으로 박막트랜지스터들에 배치되는 박막트랜지스터회로.

청구항 13

제10항에 있어서, 상기 도전성전극들은, 스테틱회로를 구성하는 박막트랜지스터와 다이내믹회로를 구성하는 박막트랜지스터의 경우에, 이들 두 형태의 회로에 따라 개별적으로 배치되는 박막트랜지스터회로.

청구항 14

제10항에 있어서, 상기 도전성전극들은, 구동전압에 따라 그룹으로 분류되는 박막트랜지스터의 경우, 각각의 그룹에 따라 개별적으로 박막트랜지스터들에 배치되는 박막트랜지스터회로.

청구항 15

제10항에 있어서, 상기 도전성전극들은, 마스터회로를 구성하는 박막트랜지스터 및 디지털회로를 구성하는 박막트랜지스터의 경우에, 이들 두 형태의 회로에 따라 개별적으로 배치되는 박막트랜지스터회로.

청구항 16

제10항에 있어서, 상기 도전성전극들은, 채널길이에 따라 그룹으로 분류되는 박막트랜지스터의 경우, 상기 박막트랜지스터들중 어느 일부의 그룹에만 배치되는 박막트랜지스터회로.

청구항 17

제10항에 있어서, 상기 도전성전극들은, 구동전압에 따라 그룹으로 분류되는 박막트랜지스터의 경우, 상기 박막트랜지스터들중 어느 일부의 그룹에만 배치되는 박막트랜지스터회로.

청구항 18

제10항에 있어서, 상기 각 도전성전극들은, 적어도 상기 활성층의 채널영역과 주변부에만 마주 보도록 면적 및 배치위치가 정해지는 박막트랜지스터회로.

청구항 19

제10항에 있어서, 상기 각 도전성전극들은, 상기 채널영역을 포함하는 모든 영역에 있어서 상기 활성층에 마주 보도록 면적 및 배치위치가 정해지는 박막트랜지스터회로.

청구항 20

제10항에 있어서, 상기 도전성전극은, 차광성재료로 이루어지는 박막트랜지스터회로.

청구항 21

매트릭스형태로 형성된 복수의 표시용 화소, 상기 화소에 영상신호를 열단위로 제공하는 영상신호 공급수단 및 상기 화소로의 영상신호의 기입을 행단위로 제어하는 기입제어수단을 포함하며, 상기 영상신호 공급수단 및 기입제어수단의 적어도 한 쪽은, 절연성기판상에 형성되고, 각각 게이트전극 및 활성층을 구비하는 복수의 박막트랜지스터 및 상기 활성층내에 형성되는 채널영역을 사이에 두고 상기 게이트전극과 대향하도록 상기 박막트랜지스터에 공통적으로 배치되며, 일정전압이 인가되는 도전성전극을 포함하는 화상표시장치.

청구항 22

제21항에 있어서, 상기 도전성전극들은 n채널형의 박막트랜지스터 또는 p채널형의 어느 한 쪽에만 배치되는 화상표시장치.

청구항 23

제22항에 있어서, 상기 n채널형의 박막트랜지스터 및 상기 p채널형의 박막트랜지스터로 구성되는 시프트 레지스터를 포함하는 화상표시장치.

청구항 24

제21항에 있어서, 상기 도전성전극은 그의 채널영역이 소정 범위내에 설정되어 있는 박막트랜지스터에만 배치되는 화상표시장치.

청구항 25

제24항에 있어서, 상기 도전성전극이 배치되는, 채널길이가 가장 짧은 트랜지스터로 구성되는 박막트랜지스터로 구성되는 시프트레지스터를 포함하는 화상표시장치.

청구항 26

제21항에 있어서, 상기 도전성전극은, 스테틱회로를 구성하는 박막트랜지스터 또는 다이내믹회로를 구성하는 박막트랜지스터의 어느 한 쪽에만 배치되는 화상표시장치.

청구항 27

제26항에 있어서, 상기 화상표시장치는, 상기 다이내믹 회로로서의 시프트레지스터, 상기 시프트레지스터의 각 출력단으로부터 출력되는 신호를 증폭하는, 상기 스테틱회로로서의 버퍼 및 상기 버퍼를 통과한 신호에 따라 영상신호를 열단위로 샘플링하는, 상기 스테틱회로로서의 샘플링회로를 포함하는 화상표시장치.

청구항 28

제21항에 있어서, 상기 도전성전극은 동일 구동전압으로 구동되는 회로를 구성하는 박막트랜지스터에만 배치되어 있는 화상표시장치.

청구항 29

제28항에 있어서, 상기 도전성전극이 배치되는 논리회로를 포함하는 화상표시장치.

청구항 30

제21항에 있어서, 상기 도전성전극들은, 아날로그회로를 구성하는 박막트랜지스터 또는 디지털회로를 구성하는 박막트랜지스터의 어느 한 쪽에만 배치되는 화상표시장치.

청구항 31

제30항에 있어서, 영상신호를 열단위로 샘플링하는, 상기 아날로그회로로서의 샘플링회로를 포함하는 화상표시장치.

청구항 32

제21항에 있어서, 상기 도전성전극들은, 적어도 상기 활성층의 채널영역과 주변부에만 마주 보도록 면적 및 배치위치가 정해지는 화상표시장치.

청구항 33

제21항에 있어서, 상기 도전성전극들은, 상기 활성층의 채널영역을 포함하는 모든 영역에 마주 보도록 면적 및 위치가 정해지는 화상표시장치.

청구항 34

제21항에 있어서, 상기 활성층은 공핍층의 최대폭의 2배 이하의 막두께로 형성된 반도체박막으로 이루어지는 화상표시장치.

청구항 35

제21항에 있어서, 상기 도전성전극은 차광성재료로 이루어지는 화상표시장치.

청구항 36

제21항에 있어서, 상기 화소는, 상기 박막트랜지스터회로와 함께 상기 절연성기판상에 형성되고, 액티브 매트릭스구동방식에 의해 구동되는 화상표시장치.

청구항 37

매트릭스형태로 형성된 복수의 표시용 화소; 상기 화소에 영상신호를 열단위로 제공하는 영상신호 공급수단; 및 상기 화소로의 영상신호의 기입을 행단위로 제어하는 기입제어수단을 포함하며, 상기 영상신호 공급수단 및 기입제어수단의 적어도 한 쪽은, 절연성기판상에 형성되고, 소정의 속성에 따라 그룹으로 분류되며, 각각 게이트전극과 활성층을 구비하는 복수의 박막트랜지스터; 및 상기 활성층내에 형성되는 채널 영역을 사이에 두고, 상기 게이트전극과 대향하도록, 상기 박막트랜지스터에 그룹마다 공통적으로 배치되며, 각각 다른 일정 전압이 인가되는 복수의 도전성전극을 포함하는 화상표시장치.

청구항 38

제37항에 있어서, 상기 복수의 도전성전극은 n채널형의 박막트랜지스터와 p채널형의 박막트랜지스터에 개별적으로 배치되는 화상표시장치.

청구항 39

제38항에 있어서, 상기 n채널형의 박막트랜지스터 및 상기 p채널형의 박막트랜지스터로 구성되는 시프트레지스터를 포함하는 화상표시장치.

청구항 40

제37항에 있어서, 상기 도전성전극들은, 그의 채널길이에 따라 그룹으로 분류되는 박막트랜지스터의 경우에, 각 그룹에 따라 개별적으로 상기 박막트랜지스터에 배치되어 있는 화상표시장치.

청구항 41

제40항에 있어서, 상기 화상표시장치는, 채널길이가 가장 짧은 박막트랜지스터로 구성되어 시프트레지스터; 상기 시프트레지스터를 구성하는 박막트랜지스터보다 채널길이가 긴 박막트랜지스터로 구성되고, 상

기 시프트레지스터의 각 출력단으로부터 출력되는 신호를 증폭하는 버퍼 및 상기 버퍼를 구성하는 박막 트랜지스터보다 채널길이가 긴 박막트랜지스터로 구성되고, 상기 버퍼를 통과한 신호에 따라 영상신호를 열단위로 샘플링하는 샘플링회로를 포함하며, 상기 도전성전극이 상기 시프트레지스터와 상기 버퍼 및 상기 샘플링회로에 각각 개별적으로 배치되는 화상표시장치.

청구항 42

제37항에 있어서, 상기 도전성전극들이 스테틱회로를 구성하는 박막트랜지스터 또는 다이내믹회로를 구성하는 박막트랜지스터에 개별적으로 배치되는 화상표시장치.

청구항 43

제42항에 있어서, 상기 화상표시장치는 상기 다이내믹 회로로서의 시프트레지스터, 상기 시프트레지스터의 각 출력단으로부터 출력되는 신호를 증폭하는, 상기 스테틱회로로서의 버퍼, 및 상기 버퍼를 통과한 신호에 따라 영상신호를 열단위로 샘플링하는, 상기 스테틱회로로서의 샘플링회로를 포함하는 화상표시장치.

청구항 44

제37항에 있어서, 상기 도전성전극들은, 구동전압에 따라 그룹으로 분류된 회로를 구성하는 박막트랜지스터의 경우, 각 그룹에 따라 개별적으로 상기 박막트랜지스터에 배치되는 화상표시장치.

청구항 45

제44항에 있어서, 낮은 구동전압의 그룹들중 하나에 속하는 논리회로, 및 상기 논리회로의 출력신호에 전압 변화를 주며, 높은 구동전압의 그룹들중 하나에 속하는 드라이버를 포함하는 화상표시장치.

청구항 46

제37항에 있어서, 상기 도전성전극들은, 아날로그회로를 구성하는 박막트랜지스터와 디지털회로를 구성하는 박막트랜지스터에 개별적으로 배치되는 박막트랜지스터회로.

청구항 47

제46항에 있어서, 상기 화상표시장치는, 상기 디지털 회로로 기능하는 시프트레지스터, 상기 시프트레지스터의 각 출력단으로부터 출력되는 신호를 증폭하는, 상기 디지털회로로 기능하는 버퍼, 및 상기 버퍼를 통과한 신호에 따라 영상신호를 열단위로 샘플링하는, 상기 아날로그회로로 기능하는 샘플링회로를 포함하는 화상표시장치.

청구항 48

제37항에 있어서, 상기 도전성전극들은, 그의 채널길이에 따라 그룹으로 분류되는 박막트랜지스터들의 경우에, 상기 박막트랜지스터들중 어느 일부의 그룹에만 배치되어 있는 화상표시장치.

청구항 49

제48항에 있어서, 상기 화상표시장치는, 채널길이가 가장 짧은 박막트랜지스터로 구성되는 시프트레지스터, 상기 시프트레지스터를 구성하는 박막트랜지스터보다 채널길이가 긴 박막트랜지스터로 구성되고, 상기 시프트레지스터의 각 출력단으로부터 출력되는 신호를 증폭하는 버퍼, 및 상기 버퍼를 구성하는 박막 트랜지스터보다 채널길이가 긴 박막트랜지스터로 구성되고, 상기 버퍼를 통과한 신호에 따라 영상신호를 열단위로 샘플링하는 샘플링회로를 포함하며, 상기 도전성전극이 상기 시프트레지스터 및 상기 샘플링회로에 각각 개별적으로 배치되는 화상표시장치.

청구항 50

제37항에 있어서, 상기 도전성전극들은, 그의 구동전압에 따라 그룹으로 분류되는 박막트랜지스터들의 경우에, 상기 박막트랜지스터들중 어느 일부의 그룹에만 배치되어 있는 화상표시장치.

청구항 51

제37항에 있어서, 상기 도전성전극들은, 적어도 상기 채널영역 및 그 주변부만에 있어서 상기 활성층에 마주 보도록 면적 및 배치위치가 정해지는 화상표시장치.

청구항 52

제37항에 있어서, 상기 도전성전극들은, 상기 채널영역을 포함하는 모든 영역에서 상기 활성층에 마주 보도록 면적 및 배치위치가 정해지는 화상표시장치.

청구항 53

제37항에 있어서, 상기 활성층은 공핍층의 최대폭의 2배 이하의 막두께로 형성된 반도체박막으로 이루어지는 화상표시장치.

청구항 54

제37항에 있어서, 상기 도전성전극은 차광성재료로 이루어지는 화상표시장치.

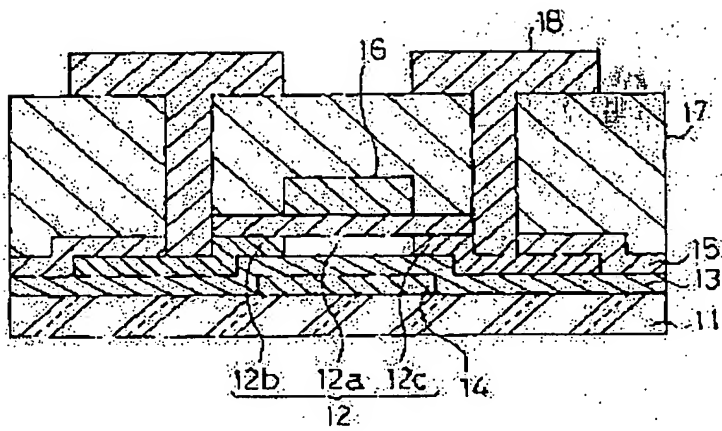
청구항 55

제37항에 있어서, 상기 화소는 상기 박막트랜지스터회로와 함께 상기 절연성기판상에 형성되며, 액티브매

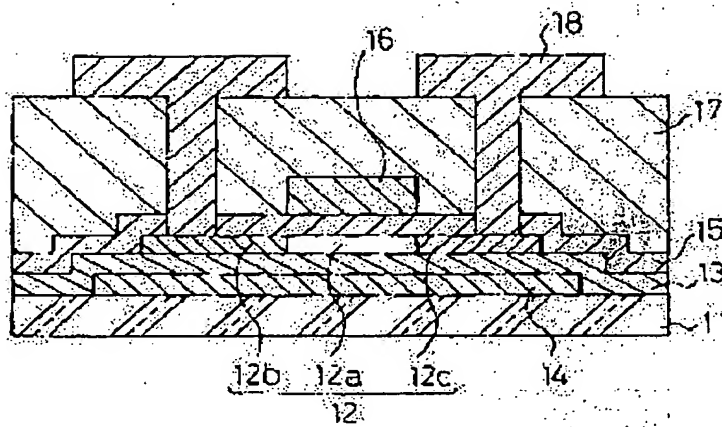
트릭스 구동방식으로 구동되는 화상표시장치

도면

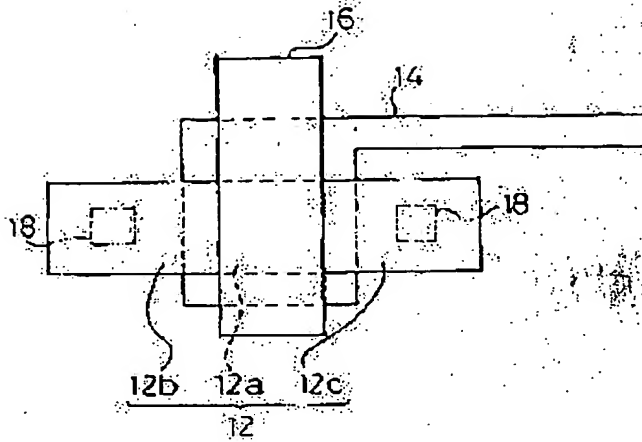
도면 1a



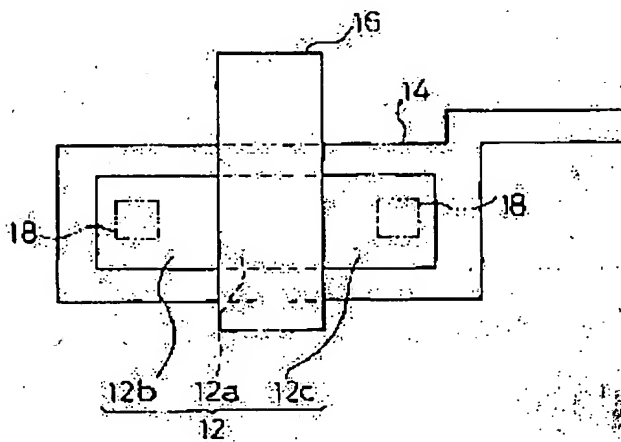
도면 1b



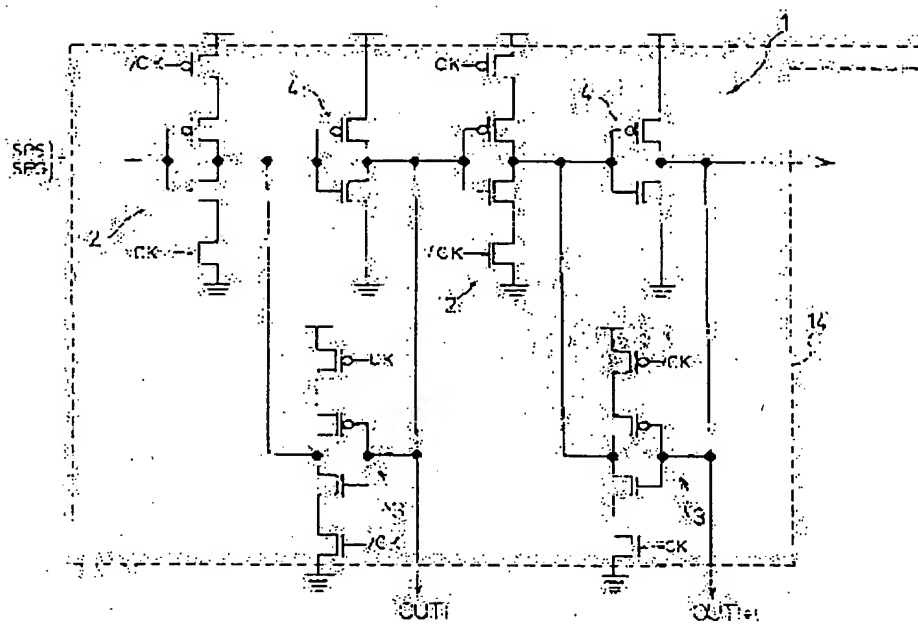
502a



502b



523:



524.

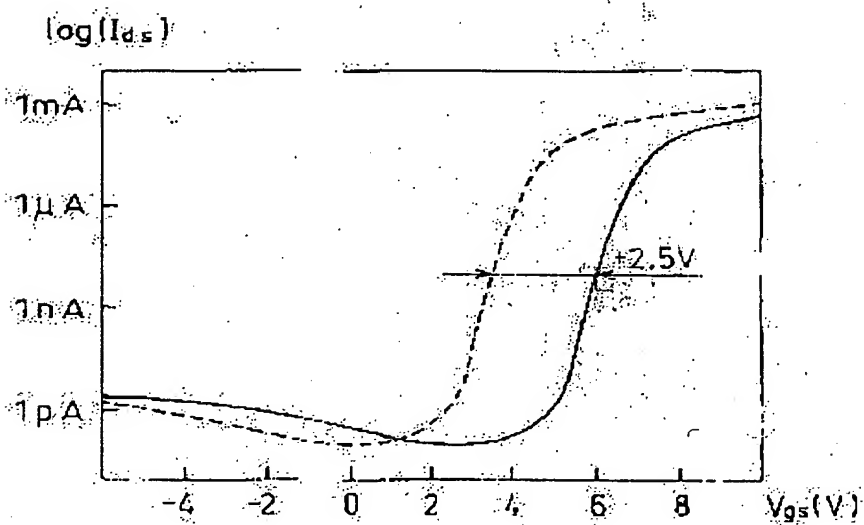


FIG 5

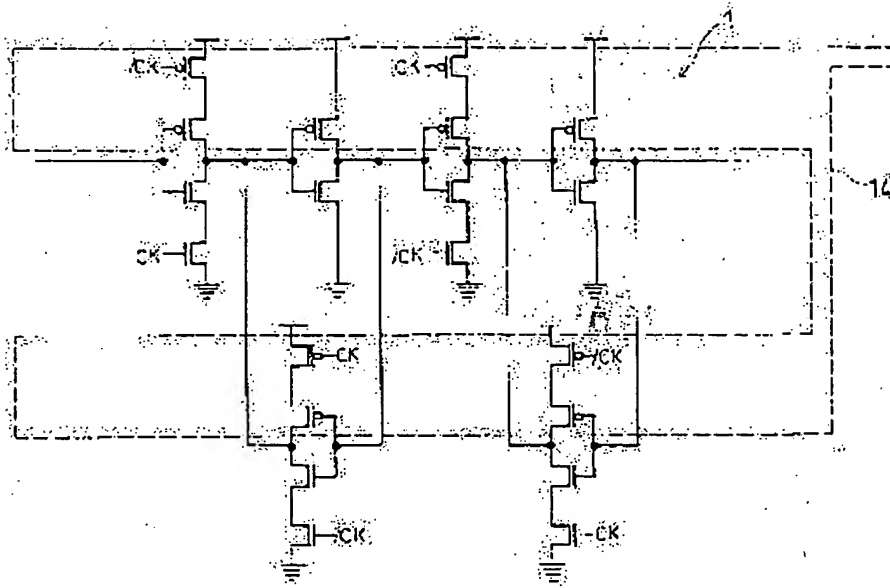


FIG 6

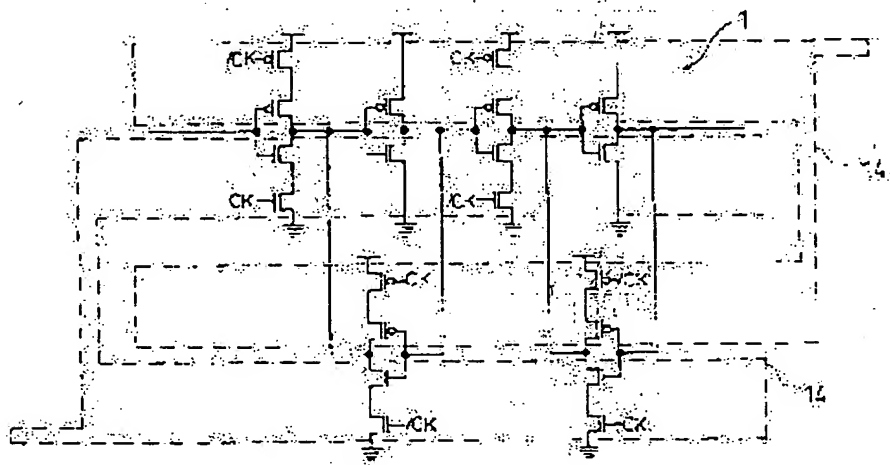


FIG. 7

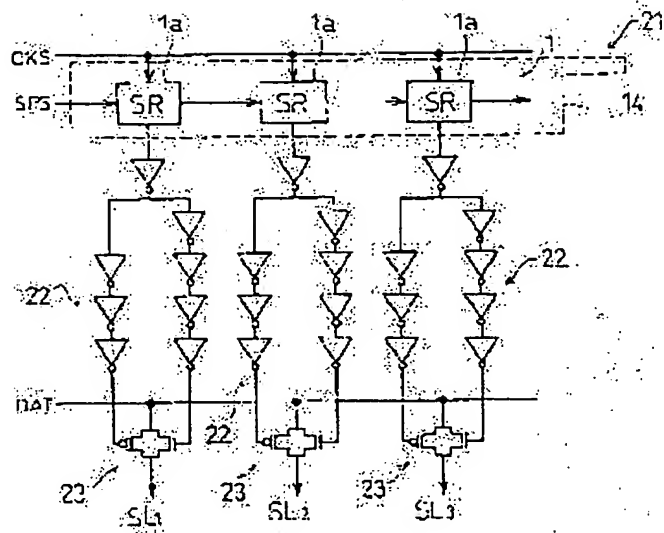


FIG. 8

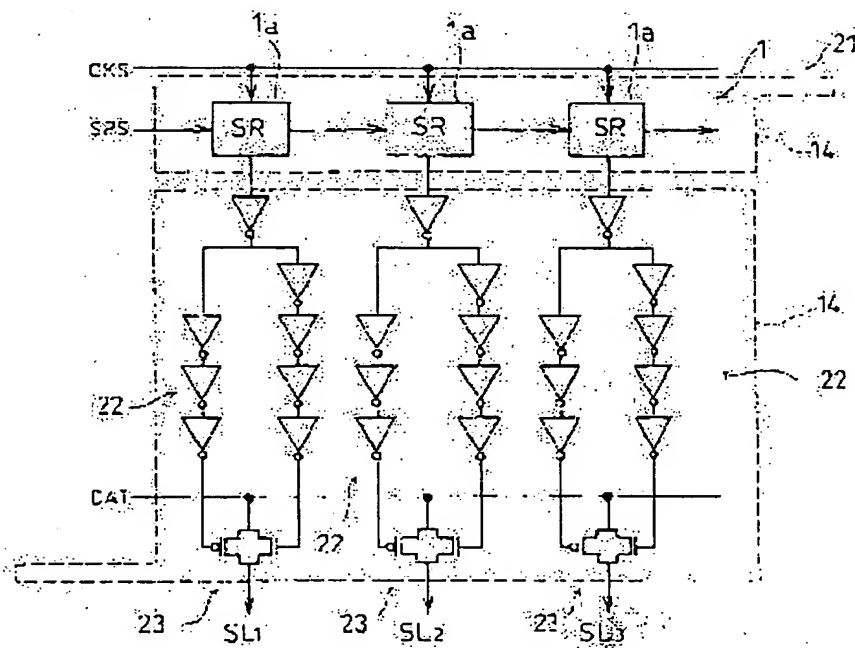


FIG. 9

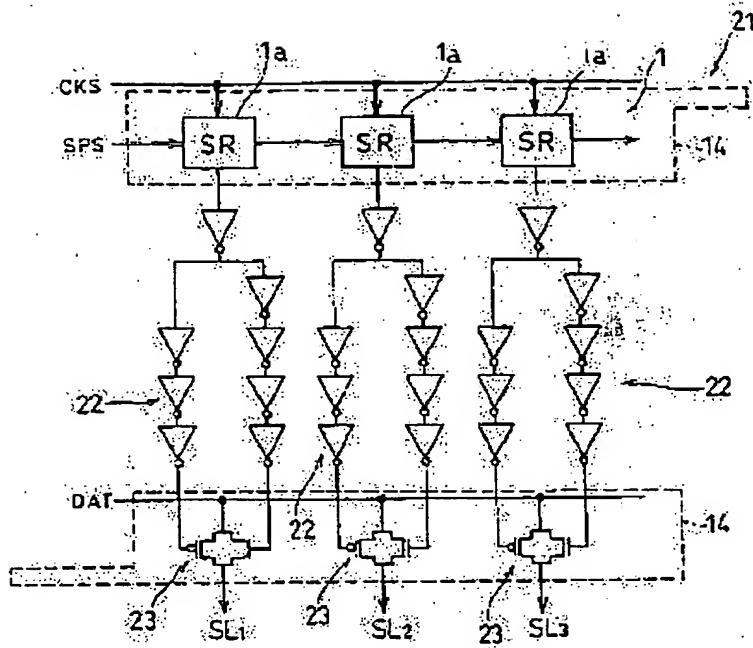
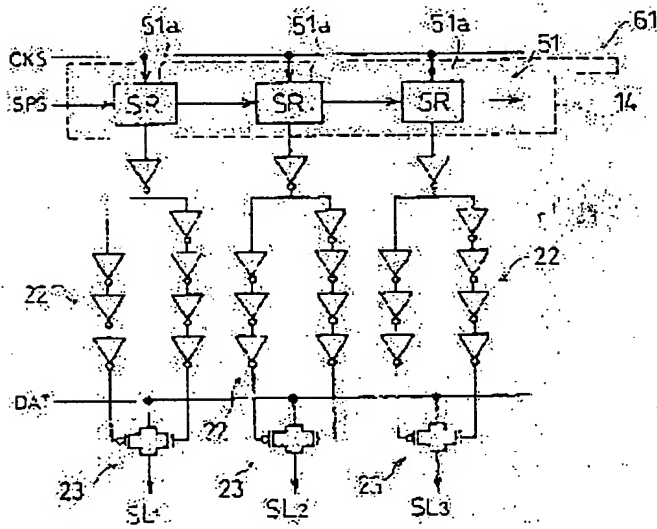
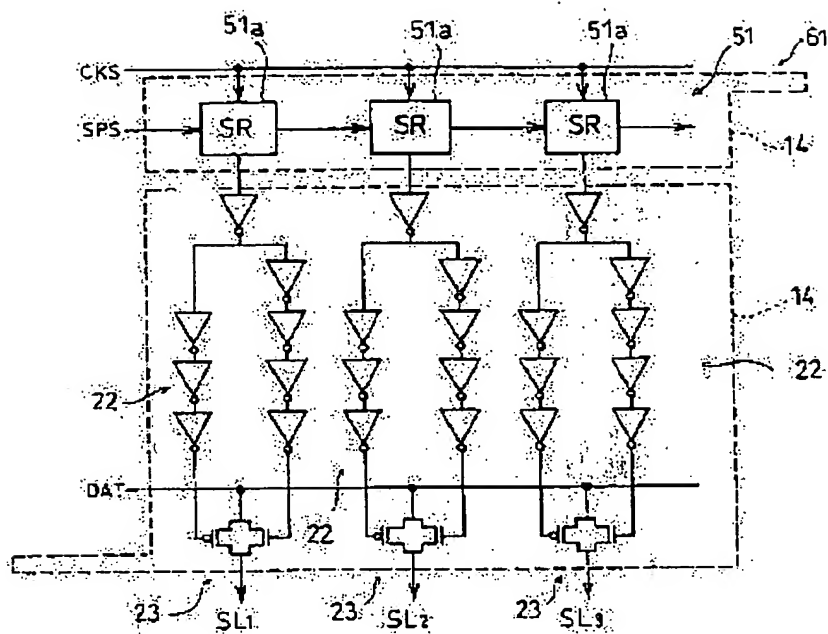


FIG. 10



도면 11



도면 12

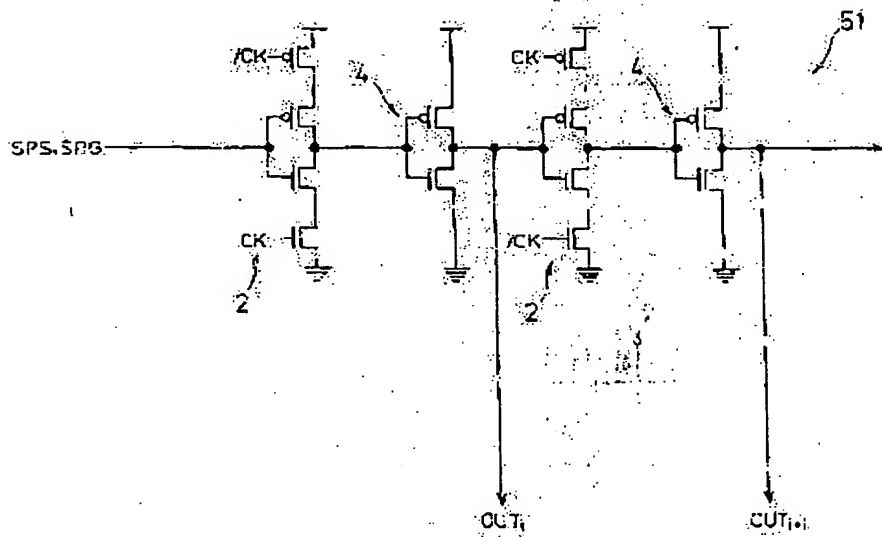


FIG. 13

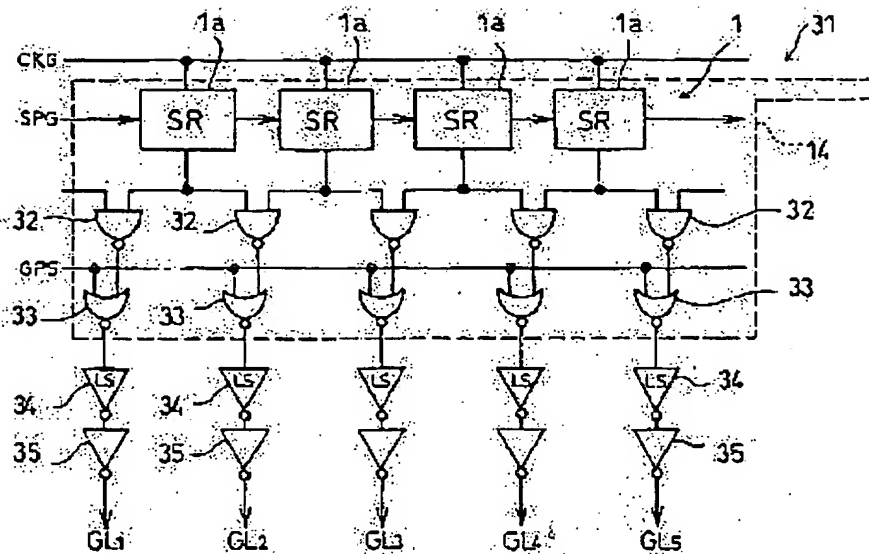
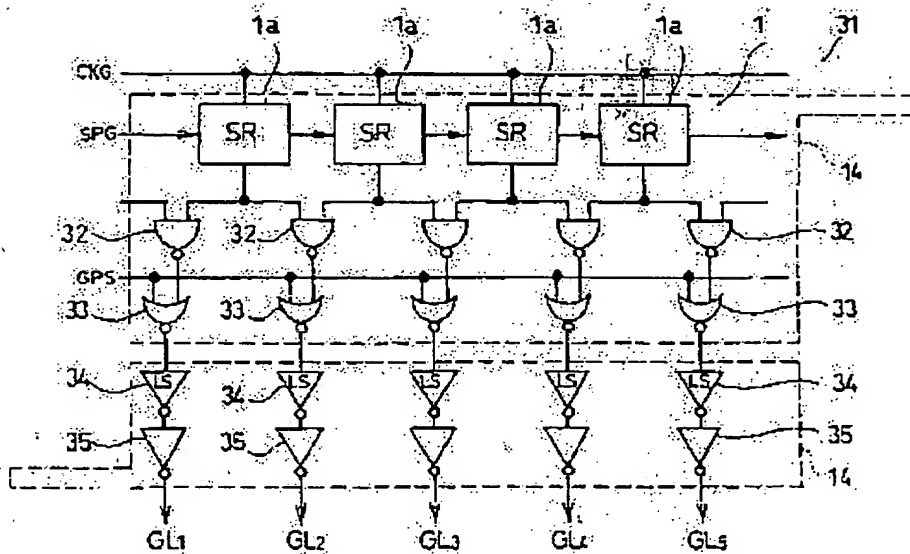
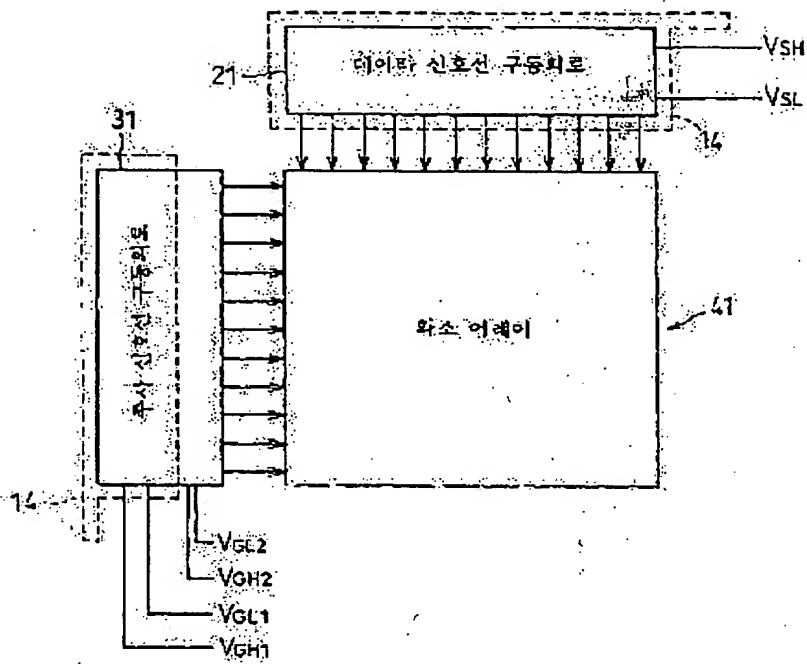


FIG. 14



도면 15



도면 16

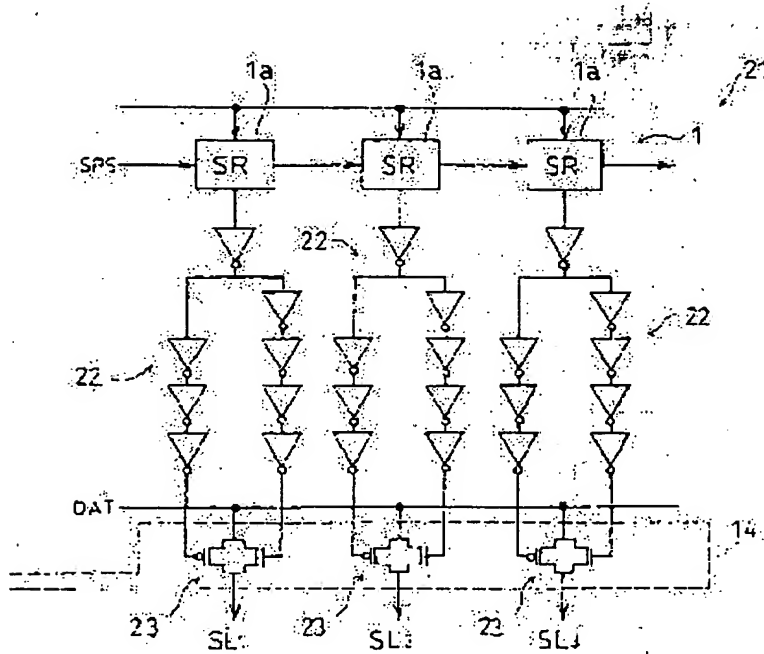


도표 17

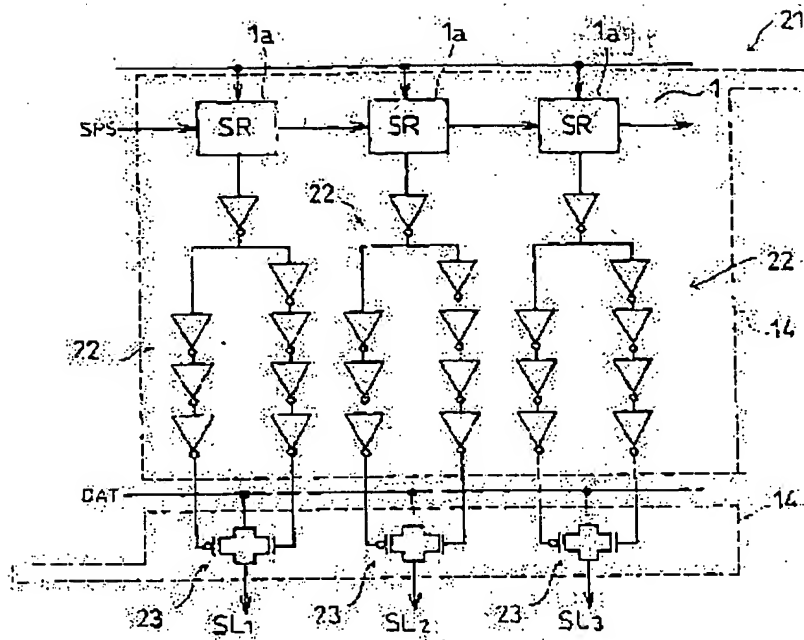
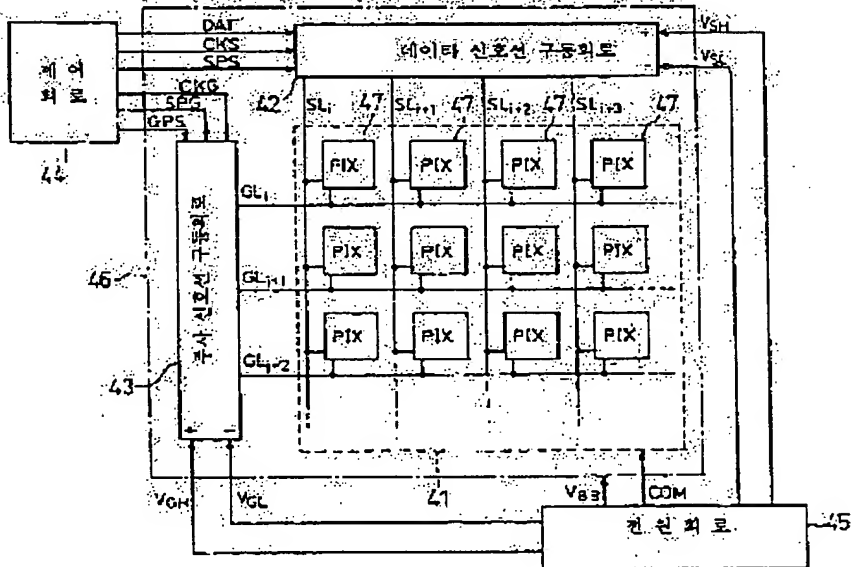
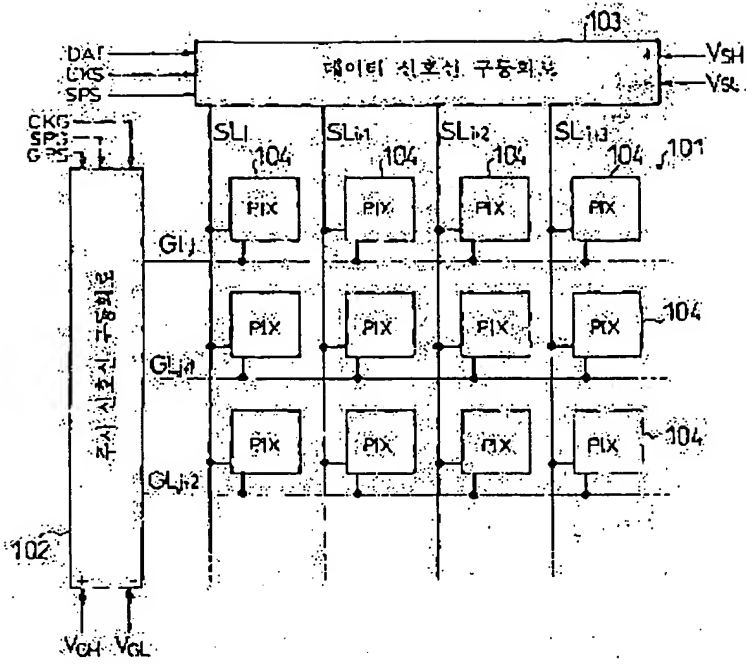


도표 18



도면 10a



도면 10b

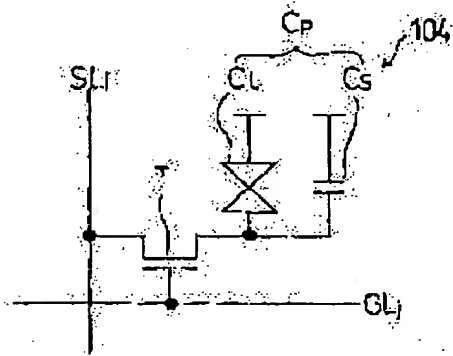


FIG 20

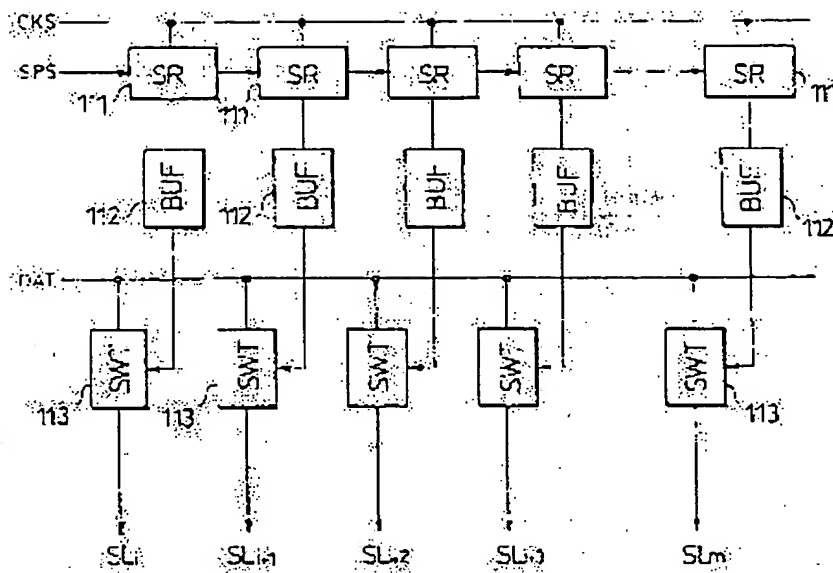


FIG 21

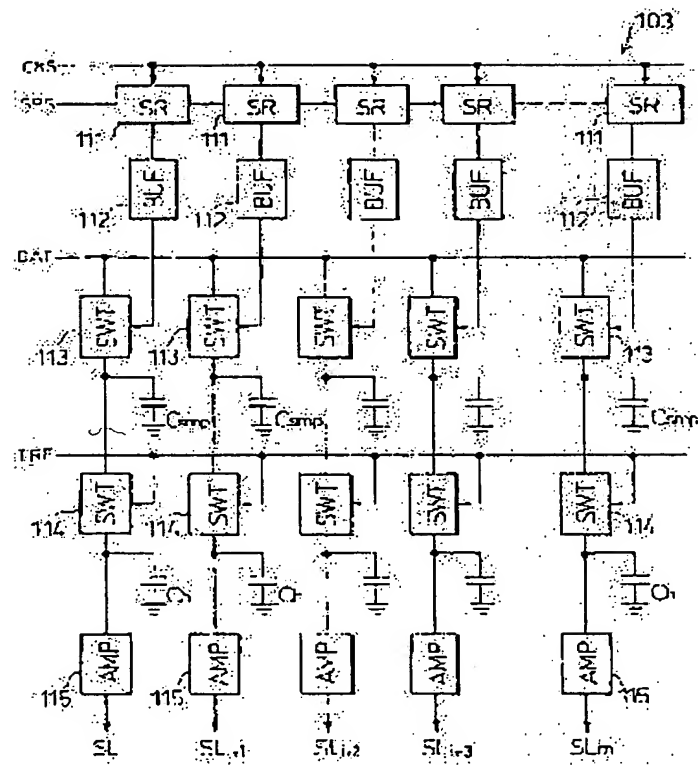


FIG. 22

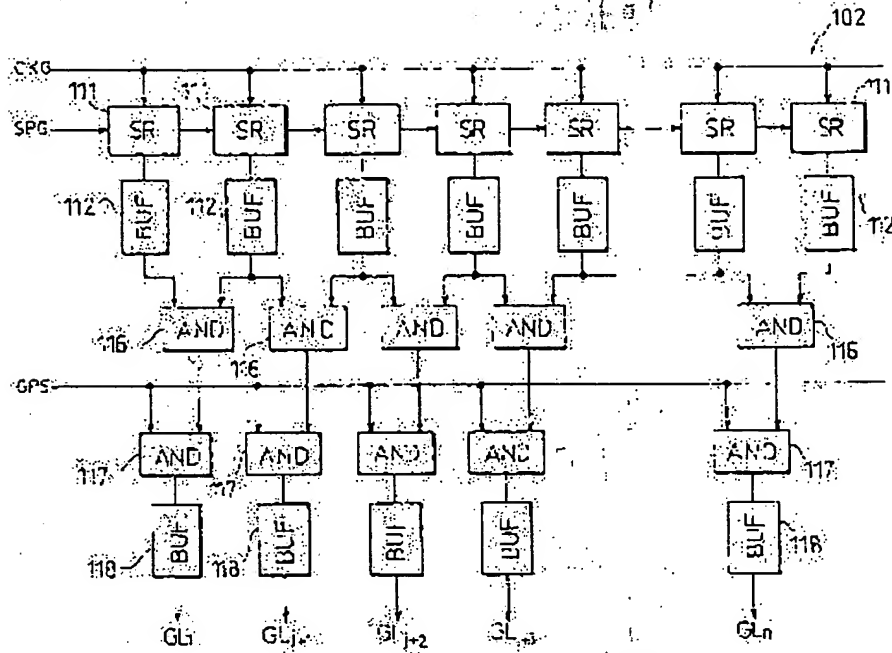
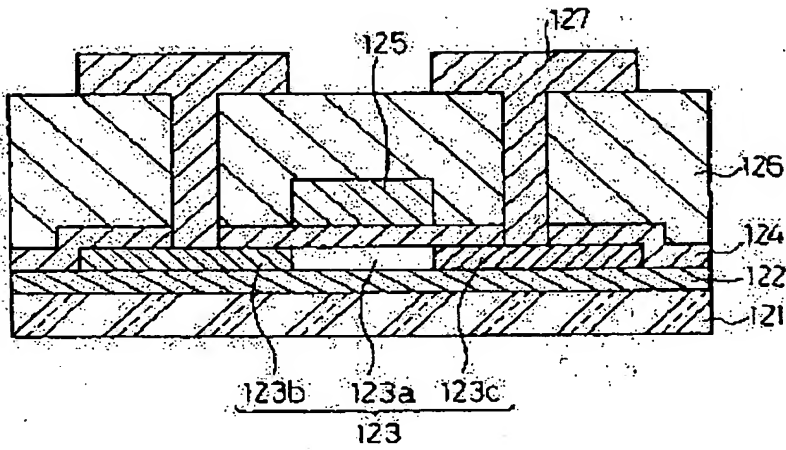


FIG. 23



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☒ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.